

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日                      2003年12月26日  
Date of Application:

出願番号                      特願2003-433814  
Application Number:  
[ST. 10/C]:                      [JP 2003-433814]

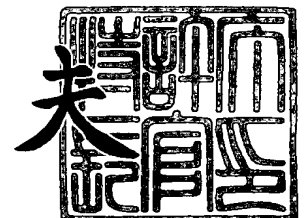
出願人                      シャープ株式会社  
Applicant(s):



2004年 1月16日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康夫



出証番号    出証特2004-3000220

【書類名】 特許願  
【整理番号】 P03S0083A2  
【提出日】 平成15年12月26日  
【あて先】 特許庁長官 殿  
【国際特許分類】 G11C 7/18  
【発明者】  
    【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内  
    【氏名】 森川 佳直  
【特許出願人】  
    【識別番号】 000005049  
    【氏名又は名称】 シャープ株式会社  
    【電話番号】 06-6621-1221  
【代理人】  
    【識別番号】 100114476  
    【弁理士】  
    【氏名又は名称】 政木 良文  
    【電話番号】 06-6233-6700  
【選任した代理人】  
    【識別番号】 100107478  
    【弁理士】  
    【氏名又は名称】 橋本 薫  
    【電話番号】 06-6233-6700  
【先の出願に基づく優先権主張】  
    【出願番号】 特願2003- 22805  
    【出願日】 平成15年 1月30日  
    【整理番号】 P03S0011A1  
【手数料の表示】  
    【予納台帳番号】 192855  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 0217474

**【書類名】 特許請求の範囲****【請求項 1】**

1つの第1電極と1対の第2電極を有し、前記第1電極の電位に応じて前記第2電極間の導通状態により記憶内容を読み出し可能なメモリセルを、行及び列方向にマトリクス状に配列し、同一行にある前記メモリセルの前記第1電極を夫々共通のワード線に接続し、行方向に隣接する2つの前記メモリセル間で1つの前記第2電極同士を接続し、同一列にある前記メモリセルの一方の前記第2電極を共通のビット線に接続し、同一列にある前記メモリセルの他方の前記第2電極を共通の仮想接地線に接続してなるメモリセルアレイを備えてなり、

前記メモリセルアレイが、少なくとも複数列のサブアレイに分割して構成され、

前記サブアレイの両端のメモリセル列は、前記サブアレイ間の境界を挟んで行方向に隣接する2つの前記メモリセル間で前記第2電極同士が接続せず分離し、夫々独立したビット線または仮想接地線に接続し、

前記サブアレイ単位で、前記ワード線と前記ビット線と前記仮想接地線が夫々1本選択されて読み出し対象のメモリセルが1つ選択されるように構成されていることを特徴とする半導体記憶装置。

**【請求項 2】**

1つの第1電極と1対の第2電極を有し、前記第1電極の電位に応じて前記第2電極間の導通状態により記憶内容を読み出し可能なメモリセルを、行及び列方向にマトリクス状に配列し、同一行にある前記メモリセルの前記第1電極を夫々共通のワード線に接続し、行方向に隣接する2つの前記メモリセル間で1つの前記第2電極同士を接続し、同一列にある前記メモリセルの一方の前記第2電極を共通のビット線に接続し、同一列にある前記メモリセルの他方の前記第2電極を共通の仮想接地線に接続してなるメモリセルアレイを備えてなり、

前記メモリセルアレイが、少なくとも複数列のサブアレイに分割して構成され、

前記サブアレイの両端のメモリセル列は、前記サブアレイ間の境界を挟んで行方向に隣接する2つの前記メモリセル間で前記第2電極同士が接続せず分離し、夫々独立したビット線または仮想接地線に接続し、

前記ビット線と前記仮想接地線が夫々両方の機能を有し、一方が他方の機能を奏する場合に他方が一方の機能を奏するように構成されていることを特徴とする半導体記憶装置。

**【請求項 3】**

前記ビット線と前記仮想接地線が夫々両方の機能を有し、一方が他方の機能を奏する場合に他方が一方の機能を奏するように構成されていることを特徴とする請求項1に記載の半導体記憶装置。

**【請求項 4】**

前記サブアレイを構成する前記メモリセルの列数が4であることを特徴とする請求項1～3の何れか1項に記載の半導体記憶装置。

**【請求項 5】**

前記サブアレイ毎に、前記ビット線が第1選択トランジスタを介して共通のグローバルビット線に接続し、前記仮想接地線が第2選択トランジスタを介して共通のグローバル仮想接地線に接続していることを特徴とする請求項1～4の何れか1項に記載の半導体記憶装置。

**【請求項 6】**

読み出し動作のために、前記サブアレイの前記ビット線と前記仮想接地線の一部または全部に対し、所定の充電電位を供給する充電回路を備えていることを特徴とする請求項1～5の何れか1項に記載の半導体記憶装置。

**【請求項 7】**

前記サブアレイ毎に、前記ビット線が第1選択トランジスタを介して共通のグローバルビット線に接続し、前記仮想接地線が第2選択トランジスタを介して共通のグローバル仮想接地線に接続し、

前記充電回路が、前記グローバルビット線と前記グローバル仮想接地線を介して、充電対象の前記ビット線と前記仮想接地線を充電することを特徴とする請求項 6 に記載の半導体記憶装置。

【請求項 8】

読み出し対象の前記メモリセルを含む前記サブアレイにおいて、前記充電対象の前記ビット線と前記仮想接地線として、前記サブアレイ内での読み出し対象の前記メモリセルの位置に応じて、読み出し対象でない前記メモリセルにのみ接続する前記ビット線と前記仮想接地線の少なくとも一つが含まれ、

前記充電回路が、読み出し動作時に前記充電対象の前記ビット線と前記仮想接地線を充電することを特徴とする請求項 7 に記載の半導体記憶装置。

【請求項 9】

読み出し対象の前記メモリセルを含む前記サブアレイにおいて、前記充電対象の前記ビット線と前記仮想接地線として、前記サブアレイ内での読み出し対象の前記メモリセルの位置に応じて、読み出し対象でない前記メモリセルにのみ接続する前記ビット線と前記仮想接地線の少なくとも一つが含まれ、

前記充電回路が、読み出し動作に伴う充電期間中に前記充電対象の前記ビット線と前記仮想接地線を充電することを特徴とする請求項 7 に記載の半導体記憶装置。

【請求項 10】

前記サブアレイ内で隣接する前記ビット線と前記仮想接地線間にスイッチトランジスタを設けていることを特徴とする請求項 1～9 の何れか 1 項に記載の半導体記憶装置。

【請求項 11】

前記サブアレイを構成する前記メモリセルの列数が 4 であり、前記サブアレイの夫々に設けられた 4 つの前記スイッチトランジスタの内の 2 つが共通に制御され、他の 2 つは夫々独立して制御されることを特徴とする請求項 10 に記載の半導体記憶装置。

【請求項 12】

読み出し対象の前記メモリセルを含む前記サブアレイにおいて、読み出し対象の前記メモリセルに接続する前記ビット線と前記仮想接地線間に設けられた前記スイッチトランジスタは、読み出し動作時にはオフしていることを特徴とする請求項 10 または 11 に記載の半導体記憶装置。

【請求項 13】

読み出し対象の前記メモリセルを含む前記サブアレイにおいて、読み出し対象の前記メモリセルに接続する前記ビット線と前記仮想接地線間に設けられた前記スイッチトランジスタは、読み出し動作に伴う充電期間中はオフしていることを特徴とする請求項 10 または 11 に記載の半導体記憶装置。

【請求項 14】

前記サブアレイ毎に、前記ビット線が第 1 選択トランジスタを介して共通のグローバルビット線に接続し、前記仮想接地線が第 2 選択トランジスタを介して共通のグローバル仮想接地線に接続し、

前記グローバルビット線と前記グローバル仮想接地線の夫々に、接地線と電氣的に接続するための接地用スイッチトランジスタを設けていることを特徴とする請求項 1～13 の何れか 1 項に記載の半導体記憶装置。

【請求項 15】

前記サブアレイ毎に、前記ビット線が第 1 選択トランジスタを介して共通のグローバルビット線に接続し、前記仮想接地線が第 2 選択トランジスタを介して共通のグローバル仮想接地線に接続し、

前記サブアレイの境界を挟んで隣接する前記ビット線または前記ソースに接続する 2 つの前記第 1 選択トランジスタまたは前記第 2 選択トランジスタは、夫々共通の制御信号で制御されることを特徴とする請求項 1～14 の何れか 1 項に記載の半導体記憶装置。

【請求項 16】

前記メモリセルは、フラッシュメモリ素子または可変抵抗素子の何れかを用いて構成さ

れていることを特徴とする請求項 1 ～ 1 5 の何れか 1 項に記載の半導体記憶装置。

【請求項 1 7】

前記メモリセルは、M O S F E T 構造を有し、ゲートに対してドレイン側とソース側の少なくとも一方側のサイドウォールにメモリ機能体を備えたサイドウォールメモリ素子で構成されていることを特徴とする請求項 1 ～ 1 5 の何れか 1 項に記載の半導体記憶装置。

【請求項 1 8】

前記サブアレイ内の前記メモリセルの書き込み動作のために、書き込み対象の前記メモリセルに接続する前記ビット線と前記仮想接地線に対し、夫々相異なる書き込み電圧を印加可能に、前記書き込み電圧を供給する回路と前記メモリセルアレイが構成されていることを特徴とする請求項 1 7 に記載の半導体記憶装置。

【請求項 1 9】

前記サイドウォールメモリ素子が、ゲートに対してドレイン側とソース側の両側のサイドウォールにメモリ機能体を備え、

前記メモリセル内の前記メモリ機能体の何れか一方を選択するためのメモリ機能体選択信号により、選択された前記メモリセルに接続する前記ビット線と前記仮想接地線に印加される電圧制御を行い、

当該電圧制御によって前記選択されたメモリセルに対して電流の向きを変化させることにより、前記 2 つのメモリ機能体に対して各別に書き込み動作または読み出し動作を行うことを特徴とする請求項 1 8 に記載の半導体記憶装置。

【請求項 2 0】

前記メモリ機能体選択信号がアドレス信号の一部であることを特徴とする請求項 1 9 に記載の半導体記憶装置。

【請求項 2 1】

前記メモリセルの 1 つを選択して、前記メモリ機能体選択信号を変化させることにより、前記メモリ機能体選択信号の変化の前後において、選択された前記メモリセルに接続する前記ビット線と前記仮想接地線に印加される電圧を反転させ、選択された前記メモリセルの 2 つの前記メモリ機能体に対して、連続して書き込み動作または読み出し動作を行うことを特徴とする請求項 1 9 に記載の半導体記憶装置。

【書類名】明細書

【発明の名称】半導体記憶装置

【技術分野】

【0001】

本発明は、半導体記憶装置に関し、詳しくは、読み出し対象のメモリセルに接続するワード線とビット線と仮想接地線を夫々選択して当該メモリセルを選択することにより、記憶データの読み出しを行う半導体記憶装置に関する。

【背景技術】

【0002】

従来、マスクROM（マスクプログラマブル読み出し専用メモリ）やフラッシュメモリ等の不揮発性半導体記憶装置で、ビット線と仮想接地線を用いてメモリセルの読み出しを行う方式がある。以下、メモリセル構造の簡単なマスクROMのメモリセルを用いて説明する。図8に当該仮想接地線を用いた読み出し方式の概念図を示す。該方式は、メモリセルを行及び列方向にマトリクス状に配列したメモリセルアレイに対し、ビット線と仮想接地線を交互に列方向に沿って、ワード線を行方向に沿って夫々配置し、隣接するビット線と仮想接地線の間にMOSFETからなるメモリセルトランジスタが配置され、メモリセルトランジスタのドレイン及びソース電極が夫々ビット線と仮想接地線に接続する。また、メモリセルトランジスタのゲート電極はワード線に接続する。1本のワード線に複数個のメモリセルトランジスタが接続され、メモリセルの面積効率を上げている。このメモリセルトランジスタは、閾値が高いトランジスタ（ゲート電極となるワード線の高レベル電位より閾値が高くワード線電位に拘らず常時オフとなるOFFトランジスタ）と閾値が低いトランジスタ（ワード線電位が閾値より高い場合にオンするONトランジスタ）の何れかのトランジスタとなるように製造段階で閾値が設定される（メモリセル当たり2値データの書き込み）。読み出し動作では、読み出し対象のトランジスタに接続するワード線とビット線と仮想接地線を選択し、選択されたビット線を所定電位に充電し、選択された仮想接地線をグラウンド電位に接地し、選択されたワード線を高レベルにする。この状態のONトランジスタとOFFトランジスタの電流の違いをセンス回路にて検出してメモリセルに記憶された2値データを判別する。

【0003】

一般に、大容量半導体記憶装置に対して、これらのメモリセルアレイに記憶されたデータを高速に読み出す方式として階層ビット線方式が知られている。この階層ビット線方式のメモリセルアレイは、メモリセルアレイを複数のブロックに分割し、各ブロックのビット線を副ビット線（ローカルビット線とも称される）とし、各ブロックの副ビット線を、ブロック選択トランジスタを介して複数本まとめて主ビット線（グローバルビット線とも称される）に接続して構成され、メモリセルの選択に係るビット線の選択は、主ビット線を選択し、選択された主ビット線に接続する副ビット線をブロック選択トランジスタにより選択することで行われる。以下、階層ビット線方式の読み出し動作につき図面に基づき説明する。図9に階層ビット線方式のメモリセルアレイの構成例を示す。尚、図9に例示するメモリセルアレイでは、仮想接地線もビット線と同様の階層構造を採用している。

【0004】

ブロック選択トランジスタの制御信号BKL1, 2とBKL3, 4に挟まれた領域内にあるワード線WL0~WLnをゲート電極とするメモリセル群をブロックといい、メモリセルの面積効率を上げるため、各主ビット線MB<sub>i</sub>（*i*=偶数）にはブロック単位でブロック選択トランジスタBK1-1等を介して複数（図9では2本）の副ビット線SB<sub>i</sub>（*i*=偶数）が接続されている。この主ビット線を介してのブロック単位でメモリセルをアクセスすることにより高速読み出しが可能となる。

【0005】

図9に示すように、ブロック選択トランジスタBK1-1等はバンク選択線BKL1等にて選択される。主ビット線MB2等はブロック選択トランジスタBK1-1を通じて副ビット線SB4等に接続される。これらのメモリアレイの主ビット線MB<sub>i</sub>（*i*=偶数）

は読み出しブロックを選択するブロック選択回路20と充電・接地選択回路21を介して充電回路22、センス回路23等に接続され、主仮想接地線MB<sub>i</sub> (i=奇数)は、ブロック選択回路20と充電・接地選択回路21を介して、充電回路22または接地線24等に接続される。充電・接地選択回路21や充電回路22、センス回路23は複数のブロック選択回路20に接続される場合もある。

#### 【0006】

図9に示すメモリセルアレイ回路の読み出し動作を説明する。今、メモリセルトランジスタM4を選択して読み出す場合を考える。トランジスタM4のゲートに接続するワード線WL0を高レベルに、その他のワード線(WL<sub>n</sub>)を低レベルにする。ブロック選択トランジスタBK1-1をオンさせるために、ブロック選択トランジスタの制御信号BKL1を高レベルに、ブロック選択トランジスタBK3-2をオンさせるために、制御信号BKL3を高レベルに、そして、その他の制御信号BKL2、BKL4を低レベルにする。すると、トランジスタM4には主ビット線からメモリセルに至る電流経路(MB2)-(BK1-1)-(SB4)と、メモリセルから主仮想接地線に至る電流経路(SB5)-(BK3-2)-(MB3)が形成される。トランジスタM4がONトランジスタである場合、BSEL2を高レベルに、VGSEL1を高レベルに、BLOCKSEL1を高レベルに、BSEL1を低レベルに、VGSEL2を低レベルにすると、選択された主ビット線MB2が充電電位に、選択された主仮想接地線MB3がグランド電位になり、(MB2)-(BK1-1)-(SB4)-(M4)-(SB5)-(BK3-2)-(MB3)という経路で電流が流れる。選択された主ビット線MB2からブロック選択回路20のトランジスタTR1と充電・接地選択回路21のトランジスタTR2を介して接続されるセンス回路24にて選択された主ビット線MB2の充電電位の変化等を検出することによりメモリセルトランジスタM4がONトランジスタであることを判別する。

#### 【0007】

しかしながら、メモリセルトランジスタM4がOFFトランジスタで、トランジスタM4と同一行にある非選択メモリセルのトランジスタM3、M2、M1、M0等がONトランジスタの場合、夫々のトランジスタのゲート線であるワード線WL0が共通であるので、たとえトランジスタM4がOFFトランジスタであっても、トランジスタM3、M2、M1を経由する電流経路が形成される。つまり選択された主ビット線MB2を充電電位にした場合、(MB2)-(BK1-1)-(SB4)-(M3)-(M2)-(M1)・・・という経路で夫々のメモリセルに接続されたビット線や仮想接地線の寄生容量を充電する過渡的な電流が流れる。この電流経路にて流れ出る電流を迂回排出電流と仮称する。この結果、読み出し対象のトランジスタM4がOFFトランジスタであるにも拘らず、あたかもONトランジスタであるかのように、選択された主ビット線から夫々のビット線、仮想接地線に至る電流経路が形成され、誤読み出し動作或いは読み出し動作の動作マージンが低下する。このような誤読み出し動作等を防止するため、従来では非選択のビット線と非選択の仮想接地線を所定の充電電位に充電する方法が採られている。

#### 【0008】

図9に例示する回路では、非選択の主ビット線MB0、非選択の主仮想接地線MB1を充電電位にする。ブロック選択トランジスタを介して副ビット線SB0、副仮想接地線SB1が充電電位となる。このようにするとメモリセルトランジスタM3、M2、M1、M0等がONトランジスタの場合でも、メモリセルトランジスタM4を読み出す場合の迂回排出電流はなくなり、トランジスタM4がONトランジスタである場合とOFFトランジスタである場合で、選択された主ビット線MB2の電位変化に違いが現れ、安定したメモリセルの読み出し動作が可能となる。

#### 【0009】

しかしながら、迂回排出電流を防止するための非選択のビット線と非選択の仮想接地線を充電する方式は、他方で読み出し対象のメモリセルトランジスタがONトランジスタの場合の読み出し動作マージンを低下させることになる。かかる動作マージン低下を解決するため、メモリセルトランジスタとブロック選択トランジスタの接続方式を工夫した提案

がなされている（例えば、特許文献1を参照）。

【特許文献1】特開平10-11991号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

次に、図9に例示する回路を例に、迂回排出電流を防止するための非選択のビット線と非選択の仮想接地線を充電する方式によって、読み出し動作マージンが低下する説明をする。

【0011】

上述の説明と同様にメモリセルトランジスタM4を読み出す場合、選択された主ビット線がMB2で選択された主仮想接地線がMB3となり、非選択のビット線と非選択の仮想接地線を充電するので、非選択の主ビット線MB0、非選択の主仮想接地線MB1が充電電位となることは、既に説明した通りであるが、更に、非選択の主ビット線MB4と非選択の主仮想接地線MB5も同時に充電される。トランジスタM4と同一行の非選択のトランジスタM5、M6、M7、M8等がONトランジスタの場合、非選択の主ビット線MB4と非選択の主仮想接地線MB5が夫々のブロック選択トランジスタを通じて副ビット線SB8と副仮想接地線SB9が充電電位となり、(SB8) - (M7) - (M6) - (M5) - (SB5)へと流れる選択された副仮想接地線SB5を充電する電流経路ができてしまう。この電流経路にて流れ込む電流を迂回注入電流と仮称する。メモリセルトランジスタM4がONトランジスタの場合、この迂回注入電流は、副仮想接地線SB5のグラウンド電位を上昇させ、(MB2) - (BK1-1) - (SB4) - (M4) - (SB5) - (BK3-2) - (MB3)へと流れる選択された主ビット線MB2の読み出し電流を減少させる。この読み出し電流の減少はメモリセルの読み出し速度を遅くするだけでなく、選択されたメモリセルトランジスタの誤読み出しの可能性も考えられ、読み出し動作マージンを低下させる。

【0012】

また、一回の読み出し動作で、複数のメモリセルトランジスタの読み出しを並行して行うのが一般的であるが、図9に例示する回路の場合、メモリセルトランジスタM4の読み出しと同時にメモリセルトランジスタM12の読み出しも可能となっている。このメモリセルトランジスタM12の読み出しに対するトランジスタM4の迂回排出電流に相当する電流を防止する充電が、非選択の主ビット線MB4と非選択の主仮想接地線MB5の充電に相当する。従って、非選択の主ビット線MB4と非選択の主仮想接地線MB5の充電はトランジスタM4がONトランジスタの場合、読み出し電流を減少させているが、トランジスタM12がOFFトランジスタの場合の読み出しを考えた場合、必要な充電となっている。

【0013】

トランジスタM12とM4の間にある非選択のメモリセルトランジスタを増加させて、非選択のビット線と非選択の仮想接地線の充電を最低限必要な充電にして、上記説明の選択されたビット線に流れ込む迂回注入電流に相当する電流を減少させることも可能であるが、根本的に迂回注入電流に相当する電流は存在する。つまり、トランジスタM12とM4の間にある非選択のメモリセルトランジスタが全てONトランジスタの場合、トランジスタM12がOFFトランジスタの場合の読み出しに必要な非選択のビット線と非選択の仮想接地線の充電は、トランジスタM4がONトランジスタの場合の読み出し電流にとって、迂回注入電流に相当する電流だけ減少させることになり、トランジスタM4がONトランジスタである場合の読み出し電流を減少させていることは変わらない。

【0014】

特許文献1に開示された動作マージン低下対策においても、選択されたビット線に流れ込むこの迂回注入電流を減少させている。また、これらのビット線、仮想接地線の制御に対する制約のため、あるワード線長において、同一ワード線で同時に読み出すセル数の制約が存在し、メモリセルアレイの大容量化の妨げとなっている。



**【0015】**

本発明は、上述の問題点を鑑みてなされたものであり、その目的は、上記問題点を解消し、仮想接地線を用いたメモリセルアレイ構成において、選択されたビット線に非選択のビット線等から迂回して注入してくる電流による読み出し動作マージンの低下を防止し、大容量化、高速動作が可能な半導体記憶装置を提供することにある。

**【課題を解決するための手段】**

**【0016】**

この目的を達成するための本発明に係る半導体記憶装置は、1つの第1電極と1対の第2電極を有し、前記第1電極の電位に応じて前記第2電極間の導通状態により記憶内容を読み出し可能なメモリセルを、行及び列方向にマトリクス状に配列し、同一行にある前記メモリセルの前記第1電極を夫々共通のワード線に接続し、行方向に隣接する2つの前記メモリセル間で1つの前記第2電極同士を接続し、同一列にある前記メモリセルの一方の前記第2電極を共通のビット線に接続し、同一列にある前記メモリセルの他方の前記第2電極を共通の仮想接地線に接続してなるメモリセルアレイを備えてなり、前記メモリセルアレイが、少なくとも複数列のサブアレイに分割して構成され、前記サブアレイの両端のメモリセル列は、前記サブアレイ間の境界を挟んで行方向に隣接する2つの前記メモリセル間で前記第2電極同士が接続せず分離し、夫々独立したビット線または仮想接地線に接続し、前記サブアレイ単位で、前記ワード線と前記ビット線と前記仮想接地線が夫々1本選択されて読み出し対象のメモリセルが1つ選択されるように構成されていることを特徴とする。

**【0017】**

上記特徴構成によれば、サブアレイ単位で1つのメモリセルを読み出す構成において、従来の技術の欄で説明した迂回排出電流を回避するために読み出し対象のメモリセルの位置に対して適切に非選択のビット線や仮想接地線の充電を行うことで、当該充電による迂回注入電流がサブアレイの境界で遮断されるため、当該迂回注入電流による誤読み出しや読み出し動作マージンの低下を回避できる。つまり、サブアレイ内のメモリセルの列数とビット線や仮想接地線を選択に係るデコードを適切に行うことで、上述の迂回排出電流と迂回注入電流の影響を完全に排除して、読み出し動作マージン及び読み出し速度の低下を防止できるメモリセルアレイ構成が実現できる。

**【0018】**

更に、この目的を達成するための本発明に係る半導体記憶装置は、上記特徴構成において、前記サブアレイ単位で、前記ワード線と前記ビット線と前記仮想接地線が夫々1本選択されて読み出し対象のメモリセルが1つ選択されるように構成されていることに代えて或は追加して、前記ビット線と前記仮想接地線が夫々両方の機能を有し、一方が他方の機能を奏する場合に他方が一方の機能を奏するように構成されていることを特徴とする。

**【0019】**

ところで、本発明が読み出しの対象としているメモリセルは、1つの第1電極と1対の第2電極を有し、第1電極の電位に応じて第2電極間の導通状態により記憶内容を読み出し可能なメモリセルであるが、メモリセルの構造上、第2電極間を流れる電流の方向が固定されている場合や書き込み状態によって非対称になる場合があり得る。かかる場合において、1対の第2電極の何れをビット線に接続し、何れを仮想接地線に接続するかが書き込み状態に応じて変化する場合がある。例えば、1つのメモリセルに2ビットのデータを記憶可能なメモリセルにおいて、各1ビットのデータの読み出しにおいて夫々電流の流れる方向が逆になる場合は、ビット線と仮想接地線を適宜交代させることで、2ビットデータを1ビットずつ分離して読み出せることになる。このようなメモリセルアレイの大容量化に適した多値メモリセルの場合でも、上述の迂回排出電流と迂回注入電流の問題は同様に発生するが、本特徴構成によれば、これらの影響を排除して誤読み出しや動作マージンの低下を回避できる。

**【発明の効果】**

**【0020】**

以上、本発明によれば、従来のメモリセルアレイ構成より同一ワード線上に読み出せるメモリセルの数を多くすることが可能であり、一回の読み出し動作で多数のメモリセルを読み出し、その後の読み出し動作を高速に行う高機能型のメモリアレイ構成としても活用可能となる。

【発明を実施するための最良の形態】

【0021】

本発明に係る半導体記憶装置（以下、適宜「本発明装置」という。）の実施の形態につき、図面に基づいて説明する。

〈第1実施形態〉

図1は、本発明装置のメモリセルアレイ1の構成の第1実施形態を示す要部回路図である。本実施形態はデータの読み出し動作に関する技術内容であるので、メモリセル構造の簡単な1トランジスタ構成のマスクROMのメモリセルを用いて説明する。メモリセルは、一般に1つの第1電極と1対の第2電極を有し、第1電極の電位に応じて第2電極間の導通状態により記憶内容を読み出し可能な構成となっており、上記マスクROMのメモリセルの場合、図2に示すように、メモリセルトランジスタ3を構成するnチャンネル型のMOSFETのゲート電極が第1電極に、ドレイン及びソース電極が夫々第2電極に相当する。第2電極間の導通状態はMOSFETの閾値電圧で決定され、この閾値電圧は製造段階で書き込みデータに応じて設定される。尚、メモリセル単体の読み出し動作やデータの記憶方法については従来の技術の欄で説明した内容と同じであり、重複する説明は割愛するとともに、同じ用語を同様に使用する。

【0022】

図1に示すように、メモリセルアレイ1は複数のメモリセルが行方向（ワード線の延長方向）と列方向（ビット線の延長方向）にマトリクス状に配列されて構成され、更に、行方向に4セル毎に列方向に沿って設けられた素子分離帯によって複数のサブアレイ2に分割されている。各サブアレイ2は $(n+1)$ 行 $\times$ 4列のメモリセル配列となっている。

【0023】

各サブアレイ2では、メモリセルトランジスタ（以下、適宜、メモリセルと称す）のゲート電極を夫々共通のワード線 $WL_i$ （ $i=0\sim n$ ）に接続し、行方向に隣接する2つのメモリセル間でソース電極同士、ドレイン電極同士を夫々接続し、同一列にある前記メモリセルのドレイン電極を共通のビット線 $LB_j$ （ $j=1, 2$ ）に、ソース電極を共通の仮想接地線 $LS_k$ （ $k=1, 2, 3$ ）に接続する。行方向を左右方向とすると、左から1列目と2列目、及び、3列目と4列目のメモリセルは夫々隣同士でビット線を共用し、2列目と3列目のメモリセルは夫々隣同士で仮想接地線を共用する。尚、1列目と4列目のメモリセルはソース電極が素子分離帯によって隣のサブアレイと分離されているので、夫々独立の仮想接地線に接続されている。本実施形態では、従来の技術の欄で説明した階層ビット線方式を採用している。尚、以下の説明において、単にビット線、仮想接地線と呼ぶ場合は、夫々、副ビット線（ローカルビット線）と副仮想接地線（ローカル仮想接地線）を意味する。

【0024】

各サブアレイ2は、夫々1本のグローバルビット線 $GB$ と1本のグローバル仮想接地線 $GS$ を有し、2本のビット線 $LB_1, 2$ が夫々第1選択トランジスタ $BK_1$ と $BK_2$ を介してグローバルビット線 $GB$ に接続し、3本の仮想接地線 $LS_1, 2, 3$ が夫々第2選択トランジスタ $BK_3$ と $BK_4$ と $BK_5$ を介してグローバル仮想接地線 $GS$ に接続する。第1選択トランジスタ $BK_1, 2$ はサブアレイ2の列方向の一端側に、第2選択トランジスタ $BK_3, 4, 5$ はサブアレイ2の列方向の他端側に纏めて配置されており、第1選択トランジスタ $BK_1, 2$ のゲート電極を夫々制御するブロック選択線 $A, B$ と第2選択トランジスタ $BK_3, 4, 5$ のゲート電極を夫々制御するブロック選択線 $C, D, E$ の間に、ワード線 $WL_0\sim n$ が配置されている。

【0025】

次に、図1に示すサブアレイ2の図中左端のものを選択して、その中のメモリセル $M_1$

～4を読み出す場合について、その動作を説明する。

#### 【0026】

先ず、メモリセルM1を読み出す場合、メモリセルM1を行方向に選択すべくワード線WL0を選択的に高レベルに設定する。そして、メモリセルM1を列方向に選択すべく、メモリセルM1に接続するビット線LB1と仮想接地線LS1を選択する。ビット線LB1と仮想接地線LS1の選択は、グローバルビット線GBとグローバル仮想接地線GSを読み出し対象として選択し、ブロック選択線BとCを高レベルに設定し、第1選択トランジスタBK1と第2選択トランジスタBK3をオン状態にして、ビット線LB1と仮想接地線LS1を夫々第1選択トランジスタBK1と第2選択トランジスタBK3を介して、グローバルビット線GBとグローバル仮想接地線GSに接続する。

#### 【0027】

更に、この状態に加えて、ブロック選択線Aを高レベルに設定し、第1選択トランジスタBK2をオン状態とする。この状態で、充電回路（図示せず）からグローバルビット線GBを所定の充電電位に充電を行い、グローバル仮想接地線GSをグランド電位にすると、ビット線LB1とビット線LB2が充電状態となり、仮想接地線LS1がグランド電位となる。この結果、読み出し対象のメモリセルM1のゲート電極が高レベルに設定され、ドレイン電極に充電電位が、ソース電極にグランド電位が印加されている状態になっている。また、同時にビット線LB2にも充電電位が印加されている。

#### 【0028】

メモリセルM1の読み出しは、メモリセルM1がONトランジスタ（低閾値電圧）かOFFトランジスタ（高閾値電圧）かによって、ビット線LB1の充電電位が下がるか下らないかが決まるため、ビット線LB1の電位変化に追従するグローバルビット線GBの電位変化をセンス回路（図示せず）で検出することで実行する。ここで、このビット線LB1の電位変化振幅が小さくなると、読み出し動作マージンが低下し、読み出し速度が遅くなる。

#### 【0029】

さて、上述のビット線LB2の充電は、メモリセルM1がOFFトランジスタで、非選択のメモリセルM2～M4がONトランジスタの場合に問題となる従来の技術の欄で説明した迂回排出電流を防止する働きをする。図9に示す従来のメモリセルアレイ構成（従来例）では、この迂回排出電流を防止するための充電は、読み出し対象のメモリセルM1がONトランジスタの場合、当該充電のために、発明が解決しようとする課題の欄で説明した迂回注入電流が発生し、メモリセルM1の読み出し動作マージンを低下させる結果となっていた。

#### 【0030】

しかしながら、本実施形態では、メモリセルM1がONトランジスタの場合、つまり、ビット線LB1の充電電位が下がる場合、グローバルビット線GBの電位も下がり、更に、第1選択トランジスタBK2を介してビット線LB2の電位もこれらに追従して下がるため、迂回注入電流の発生が回避され、読み出し動作マージンの低下に至らない。

#### 【0031】

次に、メモリセルM2を読み出す場合を説明する。メモリセルM2を行方向に選択すべくワード線WL0を選択的に高レベルに設定する。そして、メモリセルM2を列方向に選択すべく、メモリセルM2に接続するビット線LB1と仮想接地線LS2を選択する。ビット線LB1と仮想接地線LS2の選択は、グローバルビット線GBとグローバル仮想接地線GSを読み出し対象として選択し、ブロック選択線BとDを高レベルに設定し、第1選択トランジスタBK1と第2選択トランジスタBK4をオン状態にして、ビット線LB1と仮想接地線LS2を夫々第1選択トランジスタBK1と第2選択トランジスタBK4を介して、グローバルビット線GBとグローバル仮想接地線GSに接続する。

#### 【0032】

この状態で、充電回路（図示せず）からグローバルビット線GBを所定の充電電位に充電を行い、グローバル仮想接地線GSをグランド電位にすると、ビット線LB1が充電状

態となり、仮想接地線LS2がグランド電位となる。この結果、読み出し対象のメモリセルM2のゲート電極が高レベルに設定され、ドレイン電極に充電電位が、ソース電極にグランド電位が印加されている状態になっている。メモリセルM2の読み出し動作自体は、上記メモリセルM1の場合と同様である。

#### 【0033】

ここで、迂回排出電流は、隣のメモリセルM1がONトランジスタの場合に問題となるが、メモリセルM1は、メモリセルM2の反対側は素子分離帯で隣のサブアレイとは電氣的に完全に分離されているので、メモリセルM1を通して仮想接地線LS1の充電が終了すれば、それ以上の迂回排出電流は発生しない。また、メモリセルM2が読み出し対象として選択されている場合、非選択メモリセルにのみ接続するビット線LB2は充電されないため、迂回注入電流は当然ながら発生しない。従って、メモリセルM2が読み出し対象の場合も、読み出し動作マージンの低下は発生しない。ここで、ブロック選択線Eを高レベルにして第2選択トランジスタBK5をオン状態にし、仮想接地線LS3を第2選択トランジスタBK5を介してグローバル仮想接地線GSに接続しても、メモリセルM2が読み出し動作に対して、悪影響を及ぼさない。もし、何らかの理由で、ビット線LB2と仮想接地線LS3が充電されていた場合に、メモリセルM3とM4がONトランジスタの場合に、選択された仮想接地線LS2をグランド電位にするのに、ビット線LB2と仮想接地線LS3の充電状態が悪影響を与える虞もあるので、第2選択トランジスタBK5をオン状態にして仮想接地線LS3をグランド電位にするとかかる問題を未然に防止できる効果が期待できる。

#### 【0034】

次に、メモリセルM3を読み出す場合を説明する。メモリセルM3を行方向に選択すべくワード線WL0を選択的に高レベルに設定する。そして、メモリセルM3を列方向に選択すべく、メモリセルM3に接続するビット線LB2と仮想接地線LS2を選択する。ビット線LB2と仮想接地線LS2の選択は、グローバルビット線GBとグローバル仮想接地線GSを読み出し対象として選択し、ブロック選択線AとDを高レベルに設定し、第1選択トランジスタBK2と第2選択トランジスタBK4をオン状態にして、ビット線LB2と仮想接地線LS2を夫々第1選択トランジスタBK2と第2選択トランジスタBK4を介して、グローバルビット線GBとグローバル仮想接地線GSに接続する。ここで、メモリセルM2の読み出し時に、ブロック選択線Eを高レベルにして第2選択トランジスタBK5をオン状態にするのと同様の理由で、メモリセルM3の読み出し動作においても、ブロック選択線Cを高レベルにして第2選択トランジスタBK3をオン状態にするのも好ましい。

#### 【0035】

メモリセルM3とメモリセルM2はサブアレイ2において、仮想接地線LS2に対して左右対称な関係にあるため、メモリセルM3を読み出しは、メモリセルM2の読み出しと選択するビット線が異なるだけで、後はメモリセルM2の読み出しと同じである。よって、読み出し動作及び動作マージンに関する説明は省略する。

#### 【0036】

尚、上述のメモリセルM2を読み出し時に、ブロック選択線Eを高レベルにして第2選択トランジスタBK5をオン状態にしたのと同様に、メモリセルM3を読み出し時にも、ブロック選択線Cを高レベルにして左右対称な関係にある第2選択トランジスタBK3をオン状態にするのも好ましい。

#### 【0037】

次に、メモリセルM4を読み出す場合を説明する。メモリセルM4を行方向に選択すべくワード線WL0を選択的に高レベルに設定する。そして、メモリセルM4を列方向に選択すべく、メモリセルM4に接続するビット線LB2と仮想接地線LS3を選択する。ビット線LB2と仮想接地線LS3の選択は、グローバルビット線GBとグローバル仮想接地線GSを読み出し対象として選択し、ブロック選択線AとEを高レベルに設定し、第1選択トランジスタBK2と第2選択トランジスタBK5をオン状態にして、ビット線LB

2と仮想接地線LS3を夫々第1選択トランジスタBK2と第2選択トランジスタBK4を介して、グローバルビット線GBとグローバル仮想接地線GSに接続する。更に、この状態に加えて、ブロック選択線Bを高レベルに設定し、第1選択トランジスタBK1をオン状態とする。

#### 【0038】

メモリセルM4とメモリセルM1はサブアレイ2において、仮想接地線LS2に対して左右対称な関係にあるため、メモリセルM4を読み出しは、メモリセルM1の読み出しと選択するビット線と仮想接地線が異なるだけで、後はメモリセルM1の読み出しと同じである。よって、読み出し動作及び動作マージンに関する説明は省略する。

#### 【0039】

以上、図1に基づいてメモリセルM1～4の読み出しについて説明したが、メモリセルM1とM4、つまり、サブアレイ2の左右両端のメモリセルの読み出しでは、非選択のビット線（非選択のメモリセルのみ接続するビット線）にも充電を行うことで、動作マージンの低下を防いでいる。また、メモリセルM2とM3、つまり、サブアレイ2の中央の2列のメモリセルの読み出しでは、非選択のビット線の充電は行わず、動作マージンの低下を防いでいる。換言すれば、読み出し対象のメモリセルのサブアレイ2内の位置に応じて、非選択のビット線の充電を行うか行わないかを決定している。

#### 【0040】

また、メモリセルM2とM3の読み出しでは、非選択の仮想接地線（非選択のメモリセルのみ接続する仮想接地線）の内、読み出し対象のメモリセルから遠い方の仮想接地線をグラウンド電位にすべく対応する第2選択トランジスタをオン状態にしている。この結果、何れのメモリセルを読み出す場合でも、2つの第1選択トランジスタと3つの第2選択トランジスタの内、第1選択トランジスタと第2選択トランジスタの各1つを含む合計3つの選択トランジスタがオン状態になっていることになる。この結果、第1及び第2選択トランジスタの制御ロジックの簡素化が図れる。

#### 【0041】

ここで、上記充電回路による充電のタイミングについて説明すると、選択されたワード線が高レベルに遷移した後を読み出し動作期間とすると、読み出し動作期間に先行して開始し、読み出し動作期間に開始前或は開始後に終了する充電期間中に当該充電を行ってもよく、また、かかる充電期間を特別に設けずに、読み出し動作期間中に当該充電を行っても、或は、充電期間と読み出し動作期間の両期間中に当該充電を行っても構わない。

#### 【0042】

また、サブアレイ2における、ビット線と仮想接地線の配置について、両者の配置を入れ替えても構わない。つまり、2本のビット線LB1, 2を2本の仮想接地線LS1, 2とし、3本の仮想接地線LS1, 2, 3を3本のビット線LB1, 2, 3とし、第1選択トランジスタBK1とBK2を第2選択トランジスタとしてグローバル仮想接地線GSに接続し、第2選択トランジスタBK3とBK4とBK5を第1選択トランジスタとしてグローバルビット線GBに接続すればよい。これにより、物理的なトランジスタと各制御信号線の接続を変えずに、グローバルビット線GBとグローバル仮想接地線GSが入れ替わる形態となる。但し、グローバルビット線GBとグローバル仮想接地線GSが接続する、充電回路やセンス回路等の周辺回路との接続は物理的に変更しなければならない。読み出し動作は基本的に図1に示す構成と同様であり、迂回排出電流を防止するための非選択ビット線の充電も同様の考え方で決定すればよい。

#### 〈第2実施形態〉

図3は、本発明装置のメモリセルアレイ10の構成の第2実施形態を示す要部回路図である。第1実施形態と同様、マスクROMのメモリセルを用いて説明する。メモリセルアレイ10が複数のサブアレイ2に分割されている構成は、第1実施形態と同様であり、サブアレイ2の構成も第1実施形態と全く同様である。階層ビット線方式、及び、これに関連する第1選択トランジスタBK1とBK2及び第2選択トランジスタBK3とBK4とBK5の具体的態様についても第1実施形態と同様である。

**【0043】**

第1実施形態との相違点は、2本のビット線LB1、2と3本の仮想接地線LS1、2、3の夫々隣接するもの同士の間、両者を電氣的に導通させるための4つのスイッチトランジスタEQ1～EQ4を設けてある点である。具体的には、スイッチトランジスタEQ1が仮想接地線LS1とビット線LB1の間に、スイッチトランジスタEQ2が仮想接地線LS3とビット線LB2の間に、スイッチトランジスタEQ3が仮想接地線LS2とビット線LB1の間に、スイッチトランジスタEQ4が仮想接地線LS2とビット線LB2の間に、夫々設けられている。スイッチトランジスタEQ1のゲート電極はEQ線Bにより、スイッチトランジスタEQ2のゲート電極はEQ線Aにより、スイッチトランジスタEQ3とEQ4のゲート電極はEQ線Cにより夫々制御される。4つのスイッチトランジスタEQ1～EQ4に対して3本の制御信号EQ線A～Cが用いられる。

**【0044】**

次に、図3に示すサブアレイ2の図中左端のものを選択して、その中のメモリセルM1～4を読み出す場合について、その動作を説明する。尚、読み出しの基本的動作については、第1実施形態と同様であるので、重複する説明は適宜割愛する。

**【0045】**

先ず、メモリセルM1を読み出す場合について説明する。メモリセルM1の選択に関しては、第1実施形態と同様であり、第1選択トランジスタBK1とBK2及び第2選択トランジスタBK3がオン状態に設定される点も同様である。以下、主として第2実施形態に特有のスイッチトランジスタEQ1～4の制御について説明する。

**【0046】**

第1選択トランジスタBK1とBK2及び第2選択トランジスタBK3の制御と同時に、EQ線AとEQ線Cを高レベルに設定し、スイッチトランジスタEQ2～4をオン状態とする。この結果、第1実施形態では、仮想接地線LS2、LS3はメモリセルM3とM4がONトランジスタの場合に、該トランジスタ経由で充電されていたが、スイッチトランジスタEQ2～4経由で充電される。つまり、本実施形態では、メモリセルM3とM4の記憶状態や選択ワード線の電位レベルに拘わらず、ビット線の充電が、スイッチトランジスタEQ2～4経由で、非選択の仮想接地線（非選択メモリセルにのみ接続する仮想接地線）にも行われるので、第1実施形態に比べより効果的に迂回排出電流が抑制される。

**【0047】**

また、迂回注入電流の影響に関して言えば、非選択のビット線及び仮想接地線に対する当該充電が、第1実施形態の場合と同様に、同じグローバルビット線GBからの充電のため、読み出し動作マージン及び読み出し動作速度を低下させる要因にはならない。

**【0048】**

次に、メモリセルM2を読み出す場合を説明する。メモリセルM2の選択に関しては、第1実施形態と同様であり、ブロック選択線BとD或はBとDとEを高レベルに設定し、第1選択トランジスタBK1と第2選択トランジスタBK4またはBK4とBK5をオン状態にする点も第1実施形態と同様である。以下、主として第2実施形態に特有のスイッチトランジスタEQ1～4の制御について説明する。

**【0049】**

第1選択トランジスタBK1と第2選択トランジスタBK4またはBK4とBK5の制御と同時に、EQ線Bを高レベルに設定し、スイッチトランジスタEQ1をオン状態とする。これにより、スイッチトランジスタEQ1を通じて非選択の仮想接地線LS1もビット線LB1の充電電位に充電されることになり、当該充電が、より効果的に迂回排出電流を防止する。

**【0050】**

尚、EQ線Bと同時にEQ線Aも高レベルに設定しても構わない。選択されている仮想接地線LS2がグランド電位まで低下しているので、スイッチトランジスタEQ2がオン状態となって、非選択のビット線LB2の電位が低下しても何ら充電動作や読み出し動作に影響を与えないからである。これにより、メモリセルM1を読み出す場合と同様に、2

本のEQ線が高レベルに設定されることになり、EQ線の制御ロジックが簡素化できる。

#### 【0051】

次に、メモリセルM3を読み出す場合を説明する。メモリセルM3の選択に関しては、第1実施形態と同様であり、ブロック選択線AとD或はAとDとCを高レベルに設定し、第1選択トランジスタBK2と第2選択トランジスタBK4またはBK4とBK3をオン状態にする点も第1実施形態と同様である。メモリセルM3の読み出し動作では、上記ブロック選択線の制御と同時に、EQ線Aを高レベルに設定し、スイッチトランジスタEQ2をオン状態とする。これにより、スイッチトランジスタEQ2を通じて非選択の仮想接地線LS3もビット線LB2の充電電位に充電されることになり、当該充電が、より効果的に迂回排出電流を防止する。また、メモリセルM2の読み出しと同様の理由により、EQ線Aと同時にEQ線Bを高レベルに設定しても構わない。

#### 【0052】

次に、メモリセルM4を読み出す場合について説明する。メモリセルM4の選択に関しては、第1実施形態と同様であり、第1選択トランジスタBK1とBK2及び第2選択トランジスタBK5がオン状態に設定される点も同様である。第1選択トランジスタBK1とBK2及び第2選択トランジスタBK5の制御と同時に、EQ線BとEQ線Cを高レベルに設定し、スイッチトランジスタEQ1, 3, 4をオン状態とする。この結果、第1実施形態では、仮想接地線LS1、LS2はメモリセルM1とM2がONトランジスタの場合に、該トランジスタ経由で充電されていたが、スイッチトランジスタEQ1, 3, 4経由で充電され、効果的に迂回排出電流が抑制される。この点、仮想接地線LS2に対して左右対称の関係にあるメモリセルM1の読み出しと同様である。また、迂回注入電流の影響についても同様に、非選択のビット線及び仮想接地線に対する当該充電が、同じグローバルビット線GBからの充電のため、読み出し動作マージン及び読み出し動作速度を低下させる要因にはならない。

#### 【0053】

以上、図3に基づいてメモリセルM1～4の読み出しについて説明したが、メモリセルM1とM4、つまり、サブアレイ2の左右両端のメモリセルの読み出しでは、非選択のビット線と仮想接地線にも充電を行うことで、動作マージンの低下を防いでいる。また、メモリセルM2とM3、つまり、サブアレイ2の中央の2列のメモリセルの読み出しでは、非選択のビット線の充電は行わず、スイッチトランジスタを介して非選択の仮想接地線の充電を行うことで、動作マージンの低下を防いでいる。換言すれば、読み出し対象のメモリセルのサブアレイ2内の位置に応じて、非選択のビット線と仮想接地線の何れに充電を行うかを決定している。

#### 【0054】

以上のように、スイッチトランジスタEQ1～EQ4を追加することで、更に確実に迂回排出電流を防止し、読み出し動作マージンの低下が抑制され、高速読み出し動作が可能となる。また、スイッチトランジスタEQ1～EQ4を選択的にオン状態にする制御は、第1実施形態で説明した充電期間中、読み出し動作期間中、或はその両方の期間中に行っても構わない。

#### 【0055】

本第2実施形態においても、第1実施形態と同様に、サブアレイ2における、ビット線と仮想接地線の配置を入れ替え、グローバルビット線GBとグローバル仮想接地線GSを入れ替えることが可能である。図4に、ビット線と仮想接地線を入れ替えた回路構成を示す。第1実施形態の場合は、物理的なトランジスタと各制御信号線の接続変更は不要であったが、第2実施形態では、スイッチトランジスタEQ1～EQ4とその制御信号EQ線A～Cとの接続関係が変更となる。具体的には、EQ線Bが不要となり、スイッチトランジスタEQ1のゲート電極がEQ線Aにより制御されるようになる。

#### 【0056】

図4に示すように、第1実施形態の場合と同様に、図3に示すサブアレイ2の構成に対して、ビット線と仮想接地線の配置を入れ替えると、グローバルビット線GBとグローバ

ル仮想接地線GSが入れ替わる。また、逆に言えば、グローバルビット線GBとグローバル仮想接地線GSを入れ替えれば、サブレイ2のビット線と仮想接地線の配置が入れ替わる結果となる。読み出し動作は基本的に図3に示す構成と同様であり、迂回排出電流を防止するための非選択ビット線及び仮想接地線の充電に対する、ブロック選択線A～E及びスイッチトランジスタEQ1～EQ4の制御も同様の考え方で決定すればよい。

#### ＜第3実施形態＞

図5は、本発明装置の第3実施形態を示す要部回路図である。第3実施形態では、第2実施形態の場合において、グローバルビット線とグローバル仮想接地線或はビット線と仮想接地線の製造プロセス工程時に発生する隣接ビット線間或は隣接仮想接地線間のショートチェック（短絡検査）を行う回路が追加されている。図5に示す回路構成とすることでグローバルビット線またはグローバル仮想接地線のショートだけでなく、ビット線及び仮想接地線のショートチェックも可能となる。以下、本実施形態におけるショートチェックの動作説明を行う。

#### 【0057】

グローバルビット線、グローバル仮想接地線（以下、適宜、両者をまとめて、単にグローバル線という）のショートチェックを行う場合、図5のビット線GNDA信号を高レベルとし、ビット線GNDB信号を低レベルとする。この結果、グローバルビット線GB2、グローバル仮想接地線GS1、GS3がグランド電位となる。この状態で各ブロック選択線、全ワード線、及び、全EQ線を、全て低レベルにする。そして、グローバル仮想接地線GS2をVCCレベル（電源電位）として、グローバル仮想接地線GS2に流れる電流を測定する。隣接するグローバル仮想接地線GS1、または、グローバルビット線GB2とショートが発生している場合は、ビット線GNDA信号をゲート信号とするトランジスタを通じて電流が流れる。一方、ショートがない場合は、流れる電流は第1または第2選択トランジスタ等のジャンクション（拡散層の接合部）のリーク電流程度となり、ショートの有無で流れる電流値のオーダーの差によりグローバル線の隣接ショートチェックが可能となる。同様の方法にて、全てのグローバル線のショートチェックが可能である。

#### 【0058】

次に、ビット線または仮想接地線（以下、適宜、両者をまとめて、単にビット線等という）のショートチェック例を示す。今、仮想接地線LS3のショートチェックの場合を説明する。グローバル線のショートチェック完了後、図5のビット線GNDA信号を低レベルにして、グローバル仮想接地線GS1にVCCレベルを外部より印加する。次に、グローバルビット線GB1と、グローバル仮想接地線GS2をグランド電位になるように、図5のビット線GNDB信号を高レベルとする。この状態で、ブロック選択線Aと、ブロック選択線Eを高レベルにする。その他のブロック選択線、全ワード線、全てのEQ線を低レベルとする。この状態で、グローバル仮想接地線GS1に流れる電流測定を行う。ビット線LB2、仮想接地線LS4がグランド電位となり、仮想接地線LS3がVCCレベルとなるので、仮想接地線LS3がビット線LB2、または、仮想接地線LS4とショートしている場合、ショート電流が流れる。同様の考え方により、全てのビット線等のショートチェックが可能である。

#### 【0059】

図5の回路例では、グローバル線のみにグランド電位にプルダウンするトランジスタを接続しているが、ローカルビット線毎にショートをチェックする為のビット線等をグランド電位にプルダウンするトランジスタを追加してもよい。この場合は、グローバル線のショートチェックとビット線等のショートチェックは順不同で可能となる。

#### ＜別実施形態＞

次に、上記各実施形態に対する別実施形態を説明する。

#### 【0060】

上記各実施形態では、メモリセルとしてマスクROMのメモリセルを用いたが、フラッシュメモリ素子や可変抵抗素子を用いたメモリセルを用いてもよい。各素子をメモリセルとして用いた場合のメモリセルの等価回路図と代表的断面図を図6及び図7に示す。何れ



の場合も、第1電極と1対の第2電極を有し、第1電極の電位に応じて第2電極間の導通状態により記憶内容を読み出し可能な構成となっている。

#### 【0061】

図6に示すように、フラッシュメモリ素子4を用いたメモリセルの場合、メモリセルトランジスタを構成するフローティングゲート構造のMOSFETのゲート電極が第1電極に、ドレイン及びソース電極が夫々第2電極に相当する。メモリセルの記憶状態の変更は、フローティングゲートへの電子の出し入れによってメモリセルトランジスタの閾値電圧を制御することで行われる。尚、当該閾値電圧の制御は公知のフラッシュメモリの書き込み・消去技術を用いて行えばよい。

#### 【0062】

図7に示すように、可変抵抗素子5を用いたメモリセルの場合、可変抵抗素子5の一端とメモリセルを選択するためのnチャンネル型のMOSFETからなる選択トランジスタ6のドレイン電極を接続し、選択トランジスタ6のゲート電極を第1電極、可変抵抗素子5の他端と選択トランジスタ6のソース電極を夫々第2電極とし、可変抵抗素子5側の第2電極をビット線に、選択トランジスタ6側の第2電極を仮想接地線に接続する。メモリセルの記憶状態の変更は、可変抵抗素子5の抵抗値を外部からの制御によって変更することにより行う。当該外部からの制御を、電気的なストレスで行う場合、磁気的なストレスで行う場合、熱的なストレスで行う場合など、種々の可変抵抗素子が提案されている。

#### 【0063】

例えば、電気的ストレス（電圧パルス等）で抵抗値が変化する可変抵抗素子として、RRAM (Resistance control nonvolatile Random Access Memory) 素子がある。RRAM素子は、電気的ストレスの印加により電気抵抗が変化し、電気的ストレス解除後も変化した電気抵抗が保持されることにより、その抵抗変化でデータの記憶が可能な不揮発性の記憶素子で、例えば、 $\text{Pr}_{(1-x)}\text{Ca}_x\text{MnO}_3$ 、 $\text{La}_{(1-x)}\text{Ca}_x\text{MnO}_3$ 、または、 $\text{La}_{(1-x-y)}\text{Ca}_x\text{Pb}_y\text{MnO}_3$ （但し、 $x < 1$ 、 $y < 1$ 、 $x + y < 1$ ）で表される何れかの物質、例えば、 $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ 、 $\text{La}_{0.65}\text{Ca}_{0.35}\text{MnO}_3$ 、 $\text{La}_{0.65}\text{Ca}_{0.175}\text{Pb}_{0.175}\text{MnO}_3$ 等のマンガン酸化膜をMOCVD法、スパインコーティング法、レーザアブレーション、スパッタリング法等で成膜して作成される。また、電気的ストレスとしてRRAM素子の電極間に電圧パルスを印加し、そのパルス幅、電圧振幅またはその両方を調整することによりRRAM素子の抵抗変化量を制御できる。

#### 【0064】

ところで、本発明が読み出しの対象としているメモリセルは、1つの第1電極と1対の第2電極を有し、第1電極の電位に応じて第2電極間の導通状態により記憶内容を読み出し可能なメモリセルであるが、上記各実施形態及び別実施形態では、1対の第2電極に対し、一方をビット線に他方を仮想接地線に固定して接続している。これは、メモリセルトランジスタがドレイン電極とソース電極が対称な構造になっていて、何れかをドレイン電極に固定して一方向の読み出し電流を規定すれば十分で、ビット線と仮想接地線を入れ替えても機能的に変化しない場合、或は、メモリセルが1対の第2電極間で非対称な構造で、一方の第2電極をビット線に他方を仮想接地線に固定する必要がある場合等の理由による。

#### 【0065】

しかしながら、上記各実施形態におけるメモリセルアレイの構成は、双方向に読み出し電流を独立して流せるマルチビットタイプのメモリ素子を用いたメモリセルの場合においても利用可能であり、上記各実施形態と同様の効果が期待できる。例えば、1つのメモリセルに2ビットデータを記憶可能なメモリセルにおいて、各1ビットのデータの読み出しにおいて夫々電流の流れる方向が逆になる場合は、ビット線と仮想接地線を適宜交代させることで、2ビットデータを1ビットずつ分離して読み出せることになる。このようなメモリセルアレイの大容量化に適した多値メモリセルの場合でも、上述の迂回排出電流と迂回注入電流の問題は同様に発生するが、本発明によれば、これらの影響を排除して誤読み

出しや動作マージンの低下を回避できる。

#### 【0066】

以下、1つのメモリセルに2ビットデータを記憶可能なメモリセルとして、サイドウォールメモリ素子を用いて構成した場合の実施形態について説明する。

#### 【0067】

先ず、サイドウォールメモリ素子の構造について簡単に説明する。尚、サイドウォールメモリ素子に関しては、本願出願人によるPCT国際出願の国際公開パンフレット（国際公開番号：WO03/044868）に詳細に解説されている。図10（A）に示すように、サイドウォールメモリ素子100は半導体層102上にゲート絶縁膜103を介して形成されたゲート電極104と、該ゲート電極104下に配置されたチャンネル領域101と、該チャンネル領域101の両側に配置され、該チャンネル領域101と逆導電型を有する拡散領域105、106と、該ゲート電極104の両側のサイドウォールに形成され、電荷を保持する機能を有するメモリ機能体107、108とからなることを特徴とする素子である。同図（B）にサイドウォールメモリ素子のシンボルを示す。図10（B）において、ノードG、ノードS、ノードDが、夫々ゲート電極104、ソース電極105、ドレイン電極106であり、m1、m2が夫々メモリ機能体とする。

#### 【0068】

メモリ機能体m1に書き込みを行うためには、ノードGに高電圧を印加し、ノードSに高電圧、ノードDをGNDレベルにし、ノードSからノードDに電流を流す。これにより発生するホットエレクトロンがメモリ機能体m1に注入され書き込みが行われる。逆に、メモリ機能体m2に書き込みを行うためには、ノードSとノードDの電圧条件を逆にし、電流の流れる向きをノードDからノードSに変更する。

#### 【0069】

次に、メモリ機能体に書き込まれた情報を読み出し動作を説明する。メモリ機能体m1に書き込まれた情報を読み出す場合、ノードGに例えば3Vの電圧印加を行い、ノードDに1.2Vの電圧印加を行い、ノードSをGNDレベルにする。この際、メモリ機能体m1に電子が蓄積されていない場合には、ドレイン電流が流れ易い。一方、メモリ機能体m1に電子が蓄積されている場合は、メモリ機能体m1の近傍で反転層が形成され難くなり、ドレイン電流が流れ難くなる。このドレイン電流の大小を検出することにより、メモリ機能体m1の記憶情報を読み出すことができる。この時、メモリ機能体m1の電荷蓄積の有無は、ノードD近傍がピンチオフしているため、ドレイン電流に影響を与えない。尚、メモリ機能体m2の情報を読み出す場合は、ノードSとノードDの電圧条件を入れ替えばよい。このように、1つのメモリ素子で2ビットの情報を記憶し、読み出すことが実現可能となる。

#### 【0070】

次に、上記サイドウォールメモリ素子をメモリセルとして用いた本発明に係るメモリセルアレイ構成について説明する。図11に、当該メモリセルアレイ構成を示す。図11に示すメモリセルアレイ20の構成は、図3に示す第2実施形態に係るメモリセルアレイ10の構成と実質的に同じであり、相違点は、メモリセルのメモリ素子をサイドウォールメモリ素子に置き換えた点である。但し、サイドウォールメモリ素子は上述のように、ノードSとノードDに接続するビット線または仮想接地線が、1つのメモリセル内の何れのメモリ機能体を選択するかによって、ビット線と仮想接地線の機能が交替するため、図11の実施形態では、ビット線と仮想接地線を敢えて区別せず、ビット・ソース線と呼ぶ。

#### 【0071】

次に、図11に示すメモリセルアレイ20における書き込み及び読み出し動作を説明する。図11中、メモリセルM1のm1とm2がサイドウォールメモリ素子のメモリ機能体とする。今、メモリ機能体m2に書き込み動作を行う場合を説明する。始めに、ワード線WL0を選択的に高レベルの電圧に設定する。次に、グローバルビット・ソース線GBS1を高レベルの電圧に設定し、グローバルビット・ソース線GBS2を低レベル（GNDレベル）とする。次に、ブロック選択線A、Bを第1選択トランジスタBK1、BK2が

オン状態になるように高レベルとし、ブロック選択線Cを第2選択トランジスタBK3がオン状態になるように高レベルにする。同時に、LEQ線AをスイッチトランジスタEQ2がオン状態に、LEQ線CをスイッチトランジスタEQ3、EQ4がオン状態になるように高レベルにする。このような状態にすることで、メモリセルM1を介するビット・ソース線LBS2からビット・ソース線LBS1への電流経路ができ、メモリセルM1にビット・ソース線LBS2からビット・ソース線LBS1への電流が流れる。この結果、メモリ機能体m2に電子注入が行われ、書き込み動作が行われる。また、上述の選択状態にすることで、スイッチトランジスタEQ3、EQ4、EQ2により、ビット・ソース線LBS2とビット・ソース線LBS3、ビット・ソース線LBS4、ビット・ソース線LBS5は同電位となり、メモリセルM2、M3、M4に電流が流れないため、当該メモリセルに対しては書き込み動作が行われることはない。

#### 【0072】

次に、メモリセルM1のメモリ機能体m1に書き込み動作を行う場合について説明する。上述したメモリ機能体m2に書き込む動作と同様のブロック選択線及びLEQ線の制御を行う。この状態で、グローバルビット・ソース線GBS1をGNDレベルとし、グローバルビット・ソース線GBS2を高レベルの電圧と設定することで、ビット・ソース線LBS1からビット・ソース線LBS2へメモリセルM1を介して電流が流れる。この結果、メモリ機能体m1に電子注入が行われ、書き込み動作が行われる。この時、ビット・ソース線LBS2、LBS3、LBS4はGNDレベルで同電位となり、メモリセルM2、M3、M4には電流が流れないため、当該メモリセルに対して書き込み動作が行われることはない。

#### 【0073】

図11のメモリセルアレイ20において、メモリセルM2のビット・ソース線LBS2側のメモリ機能体への書き込み動作の場合、第1選択トランジスタBK1、第2選択トランジスタBK4、BK5、スイッチトランジスタEQ1、EQ2を夫々オン状態にし、グローバルビット・ソース線GBS1を高レベル、グローバルビット・ソース線GBS2をGNDレベルにすることで書き込み可能となる。一方、メモリセルM2のビット・ソース線LBS3側のメモリ機能体への書き込み動作の場合、グローバルビット・ソース線GBS1をGNDレベル、グローバルビット・ソース線GBS2を高レベルにすることで実行可能である。メモリセルM2のビット・ソース線LBS2側のメモリ機能体への書き込み動作との違いは、グローバルビット・ソース線GBS1、GBS2の電圧条件が逆転しているだけである。

#### 【0074】

メモリセルM3のビット・ソース線LBS3側のメモリ機能体への書き込み動作の場合、第1選択トランジスタBK2、第2選択トランジスタBK3、BK4、スイッチトランジスタEQ1、EQ2を夫々オン状態にし、グローバルビット・ソース線GBS1をGNDレベル、グローバルビット・ソース線GBS2を高レベルにすることで書き込み可能となる。メモリセルM3のビット・ソース線LBS4側のメモリ機能体への書き込みの場合、グローバルビット・ソース線GBS1を高レベル、グローバルビット・ソース線GBS2をGNDレベルにすることで実行可能である。メモリセルM3のビット・ソース線LBS3側のメモリ機能体への書き込み動作との違いは、グローバルビット・ソース線GBS1、GBS2の電圧条件が逆転しているだけである。

#### 【0075】

メモリセルM4のLBS4側のメモリ機能体への書き込み動作の場合、第1選択トランジスタBK1、BK2、第2選択トランジスタBK5、スイッチトランジスタEQ1、EQ3、EQ4を夫々オン状態にし、グローバルビット・ソース線GBS1を高レベル、グローバルビット・ソース線GBS2をGNDレベルにすることで実行可能となる。メモリセルM4のLBS5側のメモリ機能体への書き込み動作の場合、グローバルビット・ソース線GBS1をGNDレベル、グローバルビット・ソース線GBS2を高レベルとすることで実行可能である。メモリセルM4のLBS4側のメモリ機能体への書き込み動作との

違いは、グローバルビット・ソース線GBS1、GBS2の電圧条件が逆転しているだけである。

#### 【0076】

図12に、グローバルビット・ソース線GBS1、GBS2に高レベル電圧と低レベル電圧の書き込み電圧を供給する回路の回路構成例を示す。制御信号AとDを高レベル、制御信号BとCをGNDレベルに設定することにより、グローバルビット・ソース線GBS1をGNDレベル、グローバルビット・ソース線GBS2を高レベルにすることが可能である。この制御信号A、B、C、Dの動作は、半導体記憶装置に入力されるアドレス信号によって制御することで実現可能である。また、同一アドレスで、これらの制御を時間分割、つまりシリアル動作させて行うことも可能である。

#### 【0077】

次に、読み出し動作を説明する。読み出し動作も書き込み動作と同様な操作により、メモリセルの2つのメモリ機能体に記憶された情報の読み出しが可能となる。ここで、読み出し動作及び書き込み動作における、グローバルビット・ソース線GBS1とGBS2、ワード線WL、ブロック選択線A～E、LEQ線A～Cに印加される高レベル電圧は、夫々の動作に最適な電圧とする。

#### 【図面の簡単な説明】

#### 【0078】

【図1】本発明に係る半導体記憶装置のメモリセルアレイ構成の第1実施形態を示す要部回路図

【図2】マスクROMのメモリセルの等価回路図及び概略断面図

【図3】本発明に係る半導体記憶装置のメモリセルアレイ構成の第2実施形態を示す要部回路図

【図4】本発明に係る半導体記憶装置の第2実施形態のメモリセルアレイ構成における、ビット線と仮想接地線を入れ替えた場合の実施形態を示す要部回路図

【図5】本発明に係る半導体記憶装置の第3実施形態を示す要部回路図

【図6】フラッシュメモリ素子を用いたメモリセルの等価回路図及び概略断面図

【図7】可変抵抗素子を用いたメモリセルの等価回路図及び概略断面図

【図8】仮想接地線を用いた読み出し方式の概念図

【図9】従来の半導体記憶装置の階層ビット線方式を用いたメモリセルアレイ構成の一例を示す要部回路図

【図10】サイドウォールメモリ素子の概略断面図とシンボル図

【図11】本発明に係る半導体記憶装置のメモリセルアレイ構成のメモリセルとしてサイドウォールメモリ素子を用いた別実施形態を示す要部回路図

【図12】図11に示す本発明に係る半導体記憶装置のメモリセルアレイ構成のグローバルビット・ソース線に書き込み電圧を供給する回路の一回路構成例を示す回路図

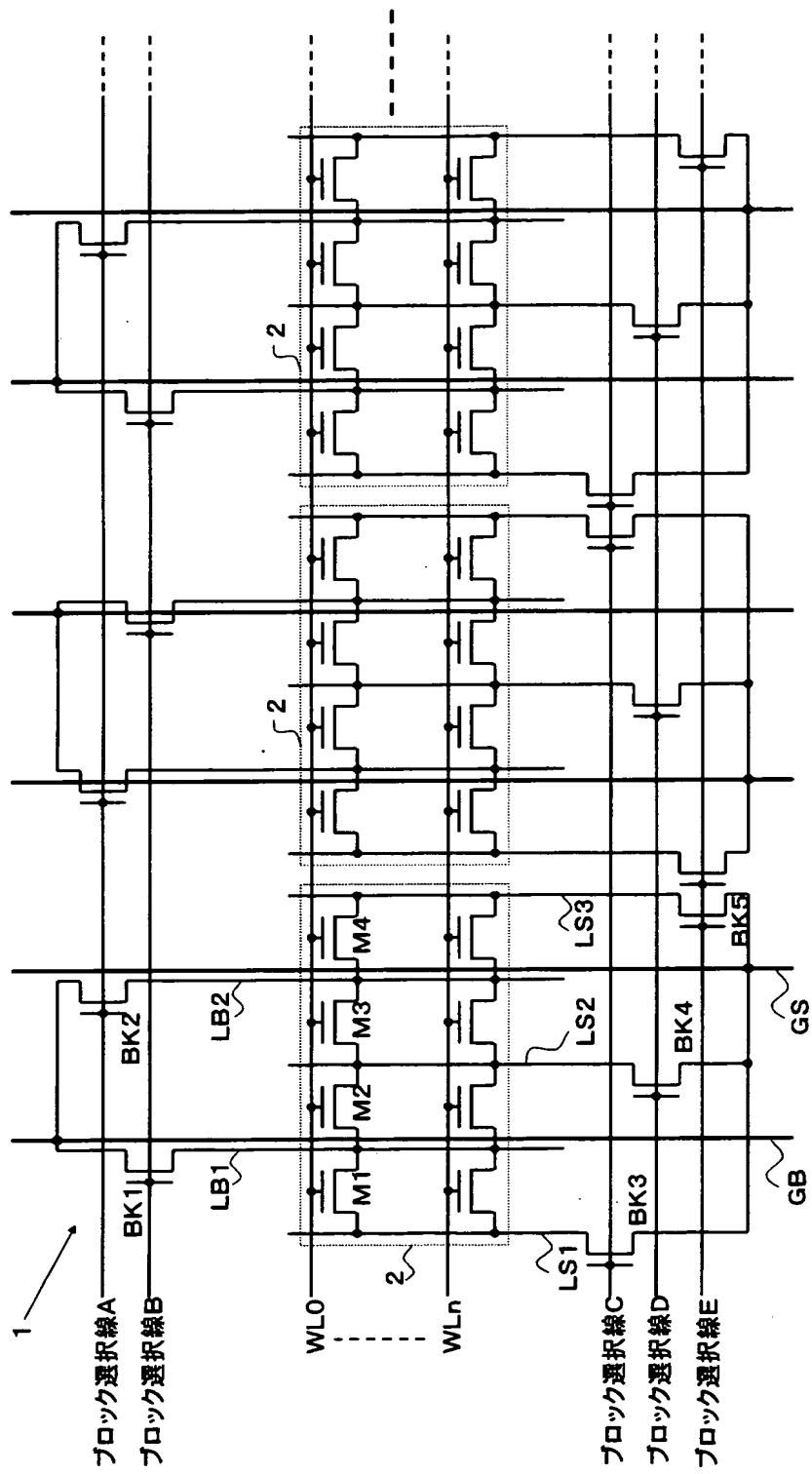
#### 【符号の説明】

#### 【0079】

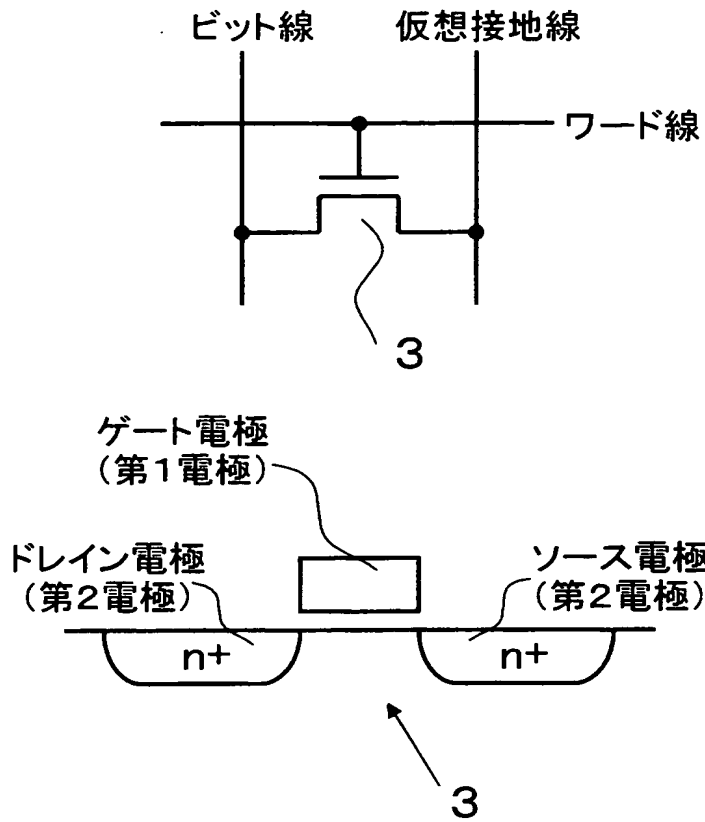
- 1:       メモリセルアレイ
- 10:      メモリセルアレイ
- 2:       サブアレイ
- 3:       マスクROMのメモリセルのメモリセルトランジスタ
- 4:       フラッシュメモリ素子
- 5:       可変抵抗素子
- 6:       選択トランジスタ
- 20:      メモリセルアレイ
- 100:     サイドウォールメモリ素子
- 101:     チャネル領域
- 102:     半導体層
- 103:     ゲート絶縁膜

104： ゲート電極  
105： ソース電極（拡散領域）  
106： ドレイン電極（拡散領域）  
M1、M2、M3、M4： メモリセル  
m1、m2： メモリ機能体  
WL0、WL<sub>n</sub>： ワード線  
LB1、LB2： ビット線（ローカルビット線）  
LS1、LS2、LS3： 仮想接地線（ローカル仮想接地線）  
LBS1、LBS2、LBS3、LBS4、LBS5： ビット・ソース線  
GB、GB1、GB2、GB3： グローバルビット線  
GS、GS1、GS2、GS3： グローバル仮想接地線  
GBS1、GBS2： グローバルビット・ソース線  
BK1、BK2： 第1選択トランジスタ  
BK3、BK4、BK5： 第2選択トランジスタ  
EQ1、EQ2、EQ3、EQ4： スイッチトランジスタ

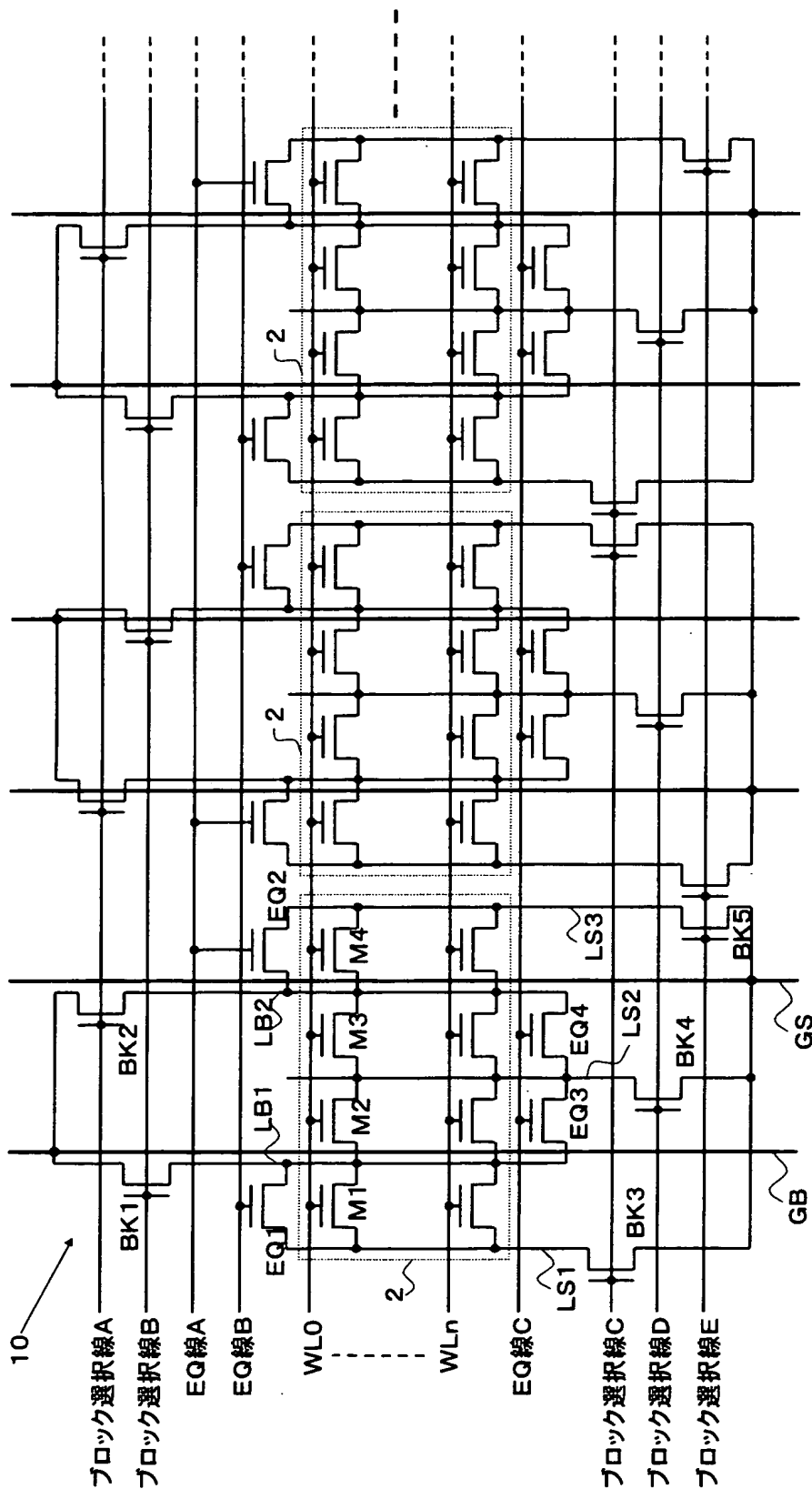
【書類名】 図面  
【図 1】



【図 2】

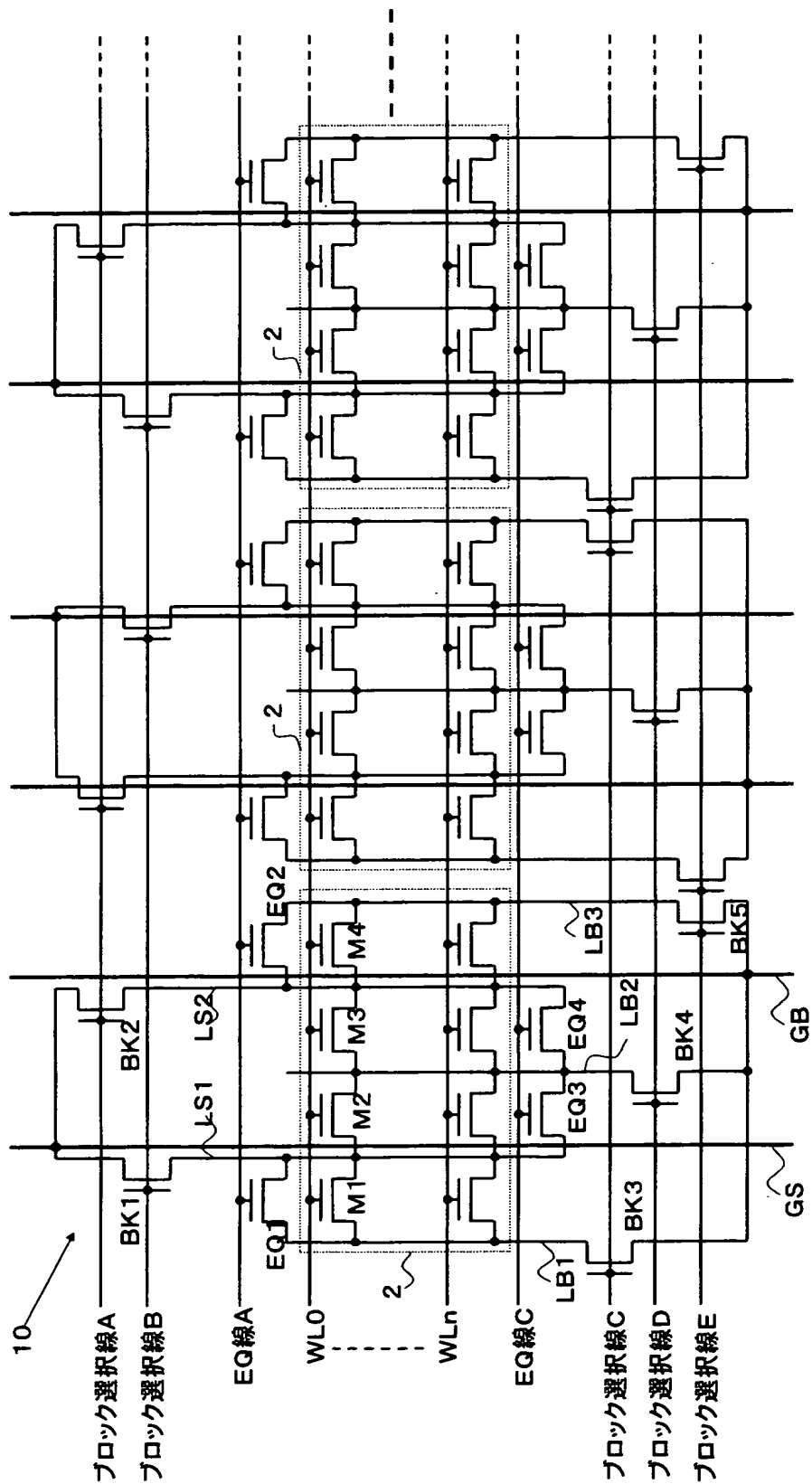


【図3】

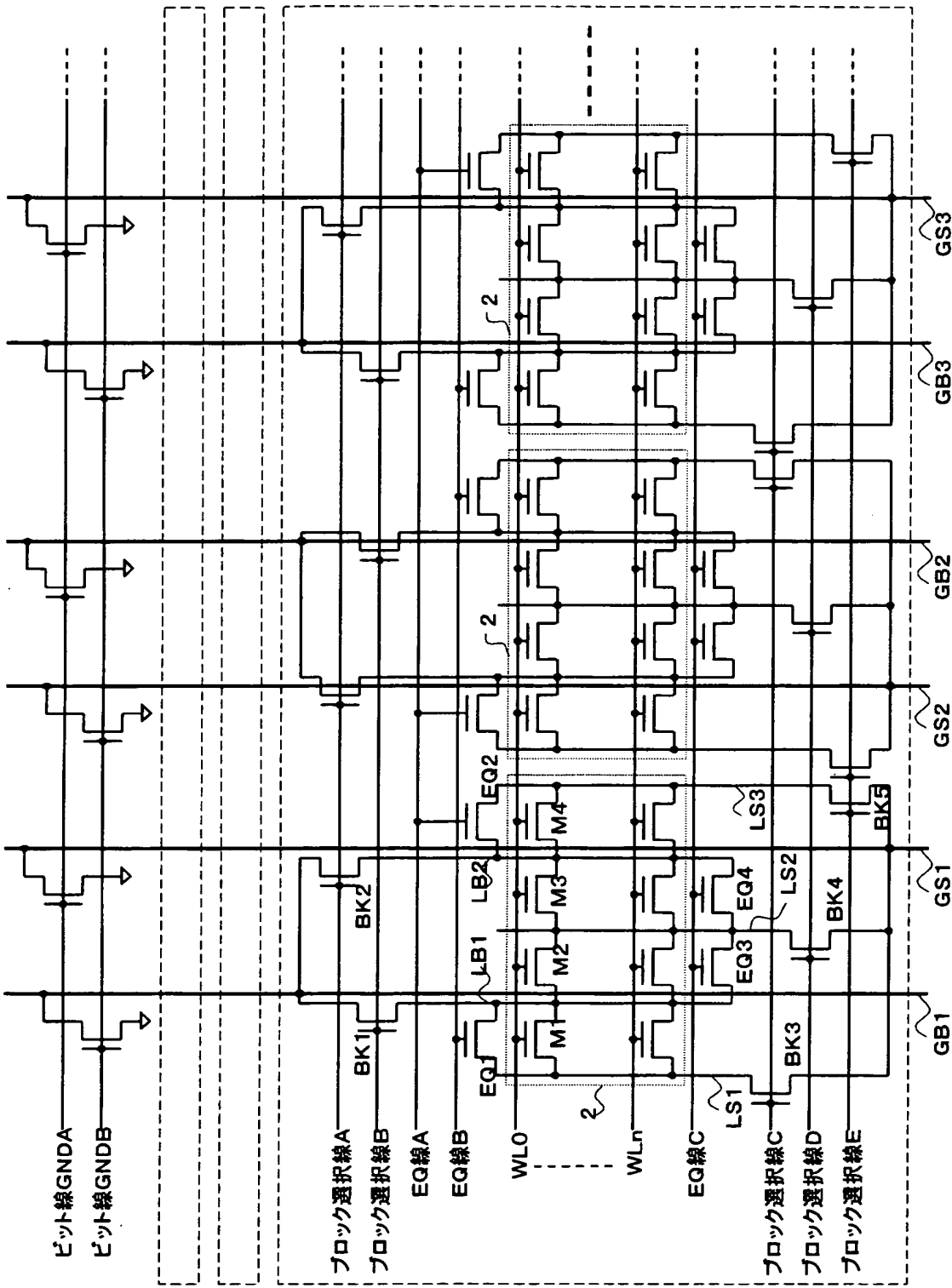




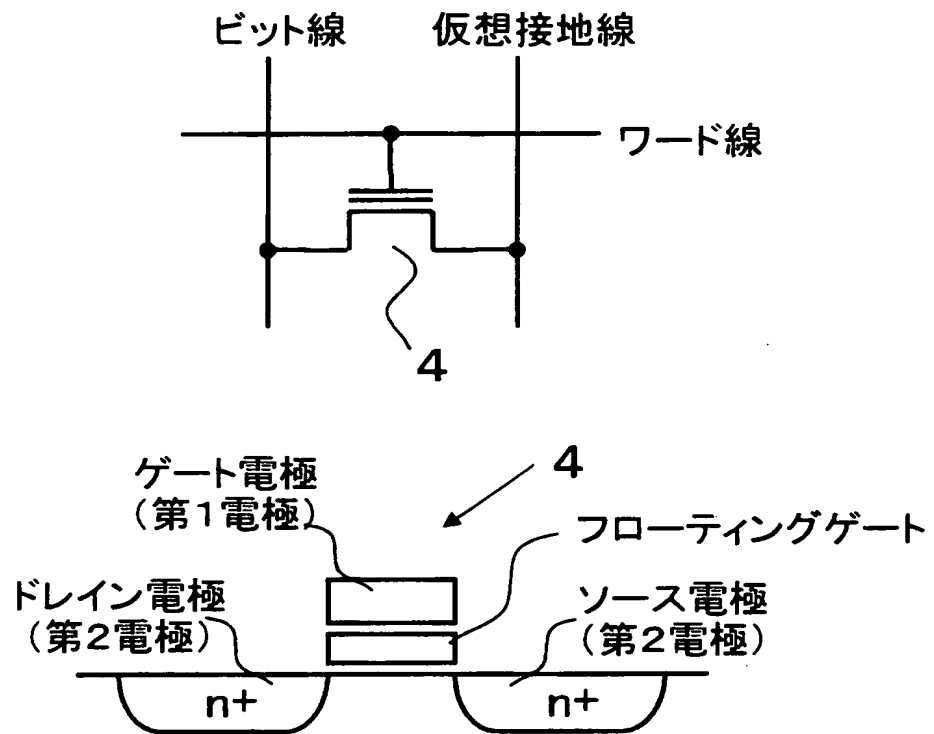
【図 4】



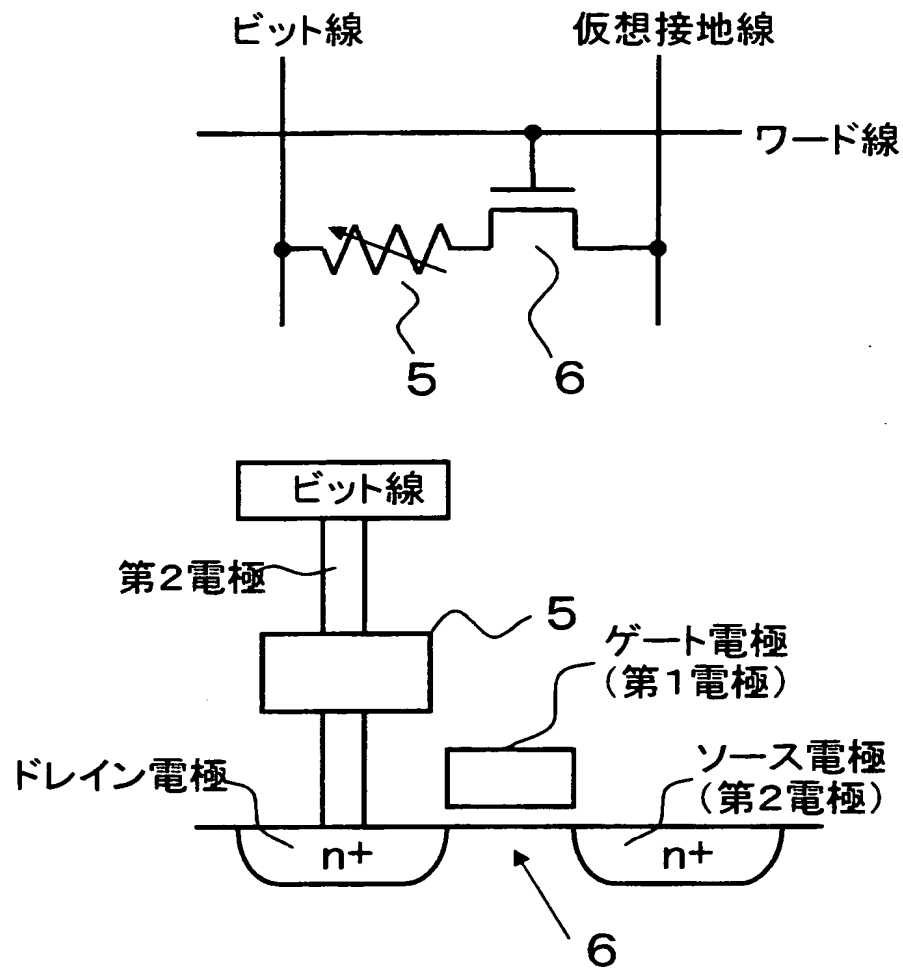
【図 5】



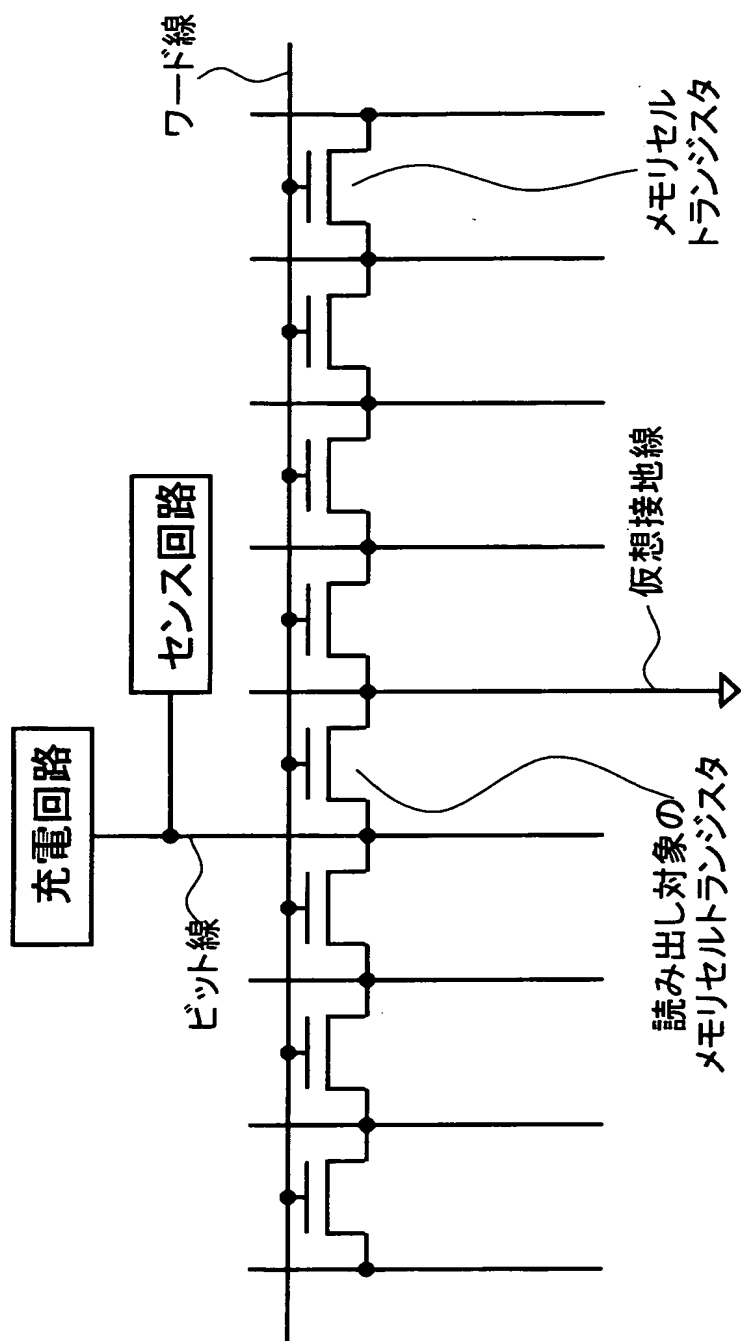
【図 6】



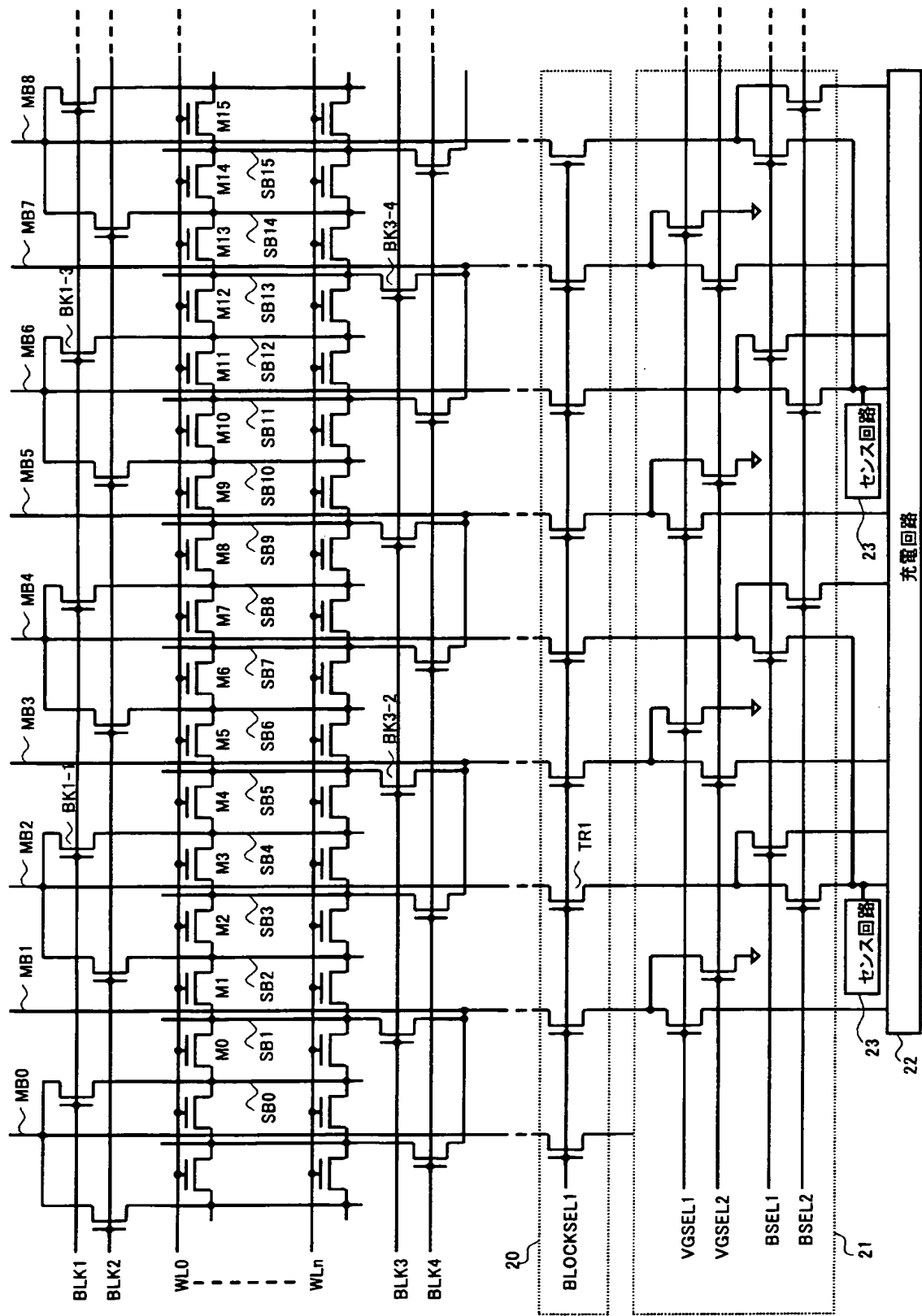
【図 7】



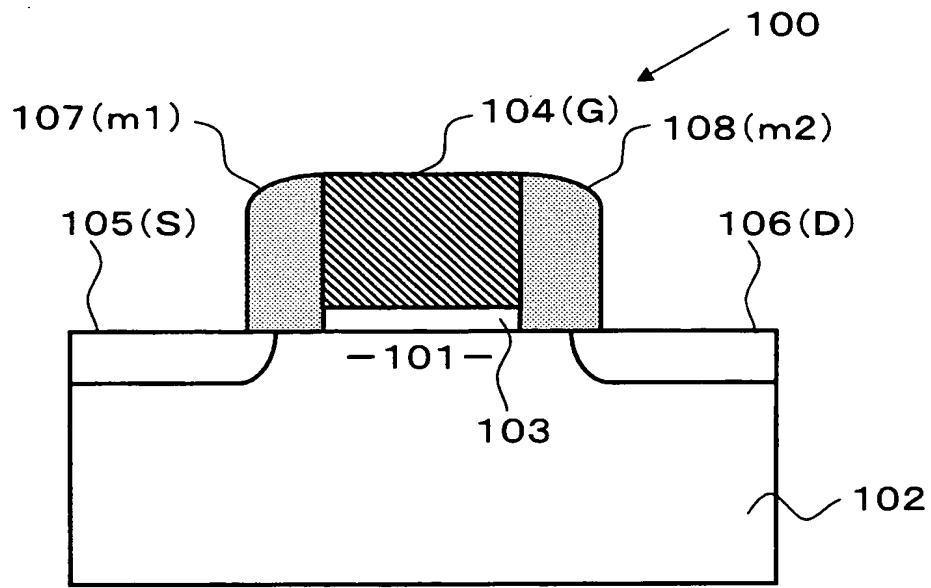
【図 8】



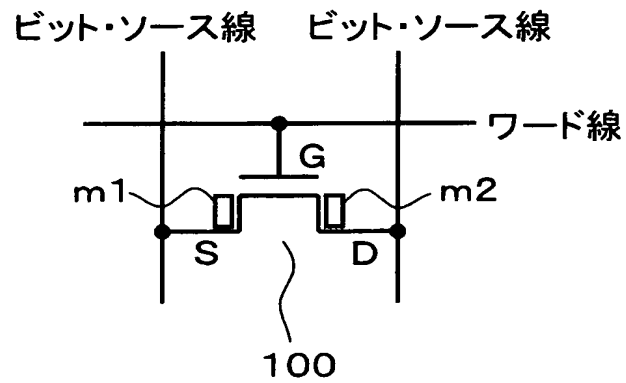
【図 9】



【図 10】

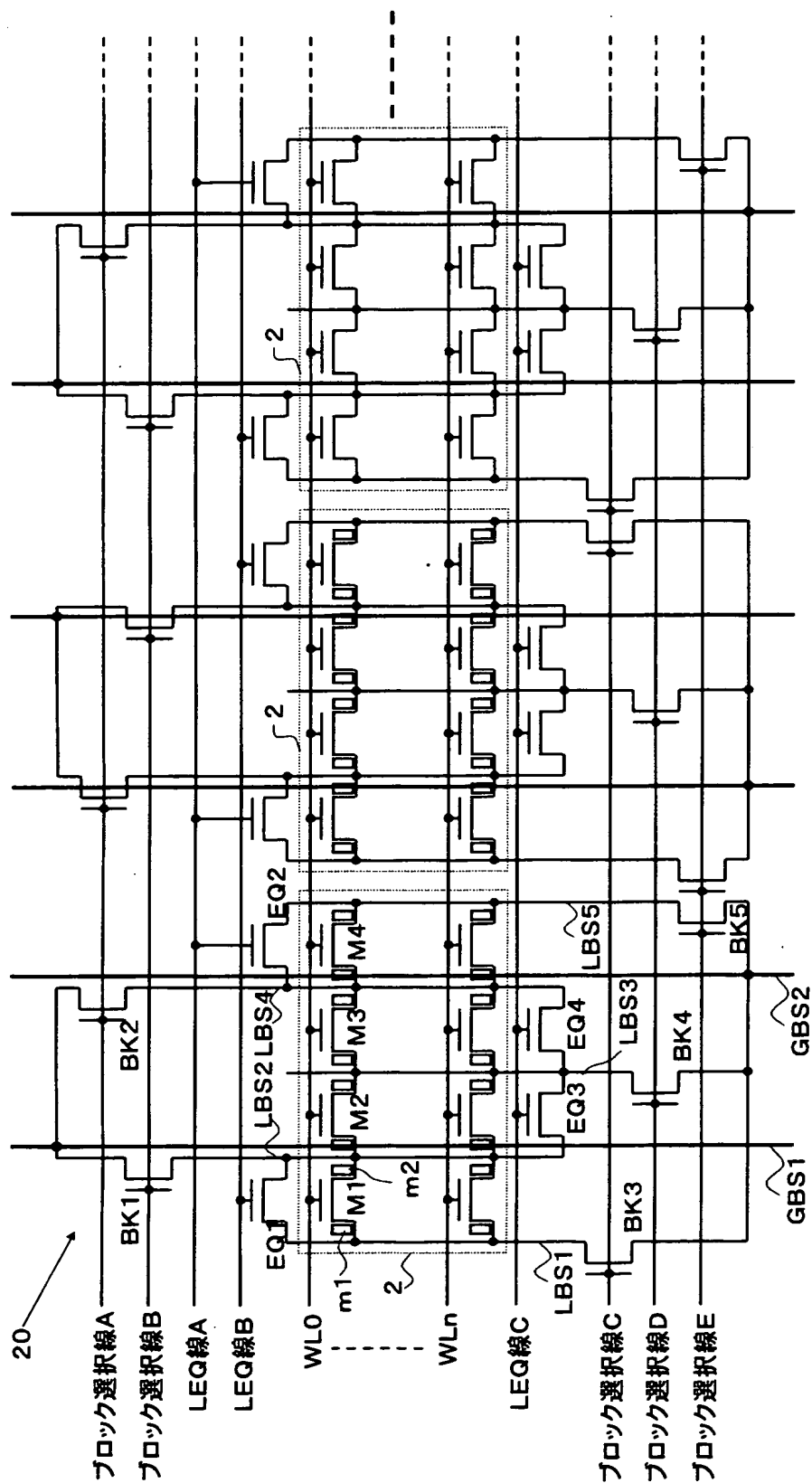


(A)



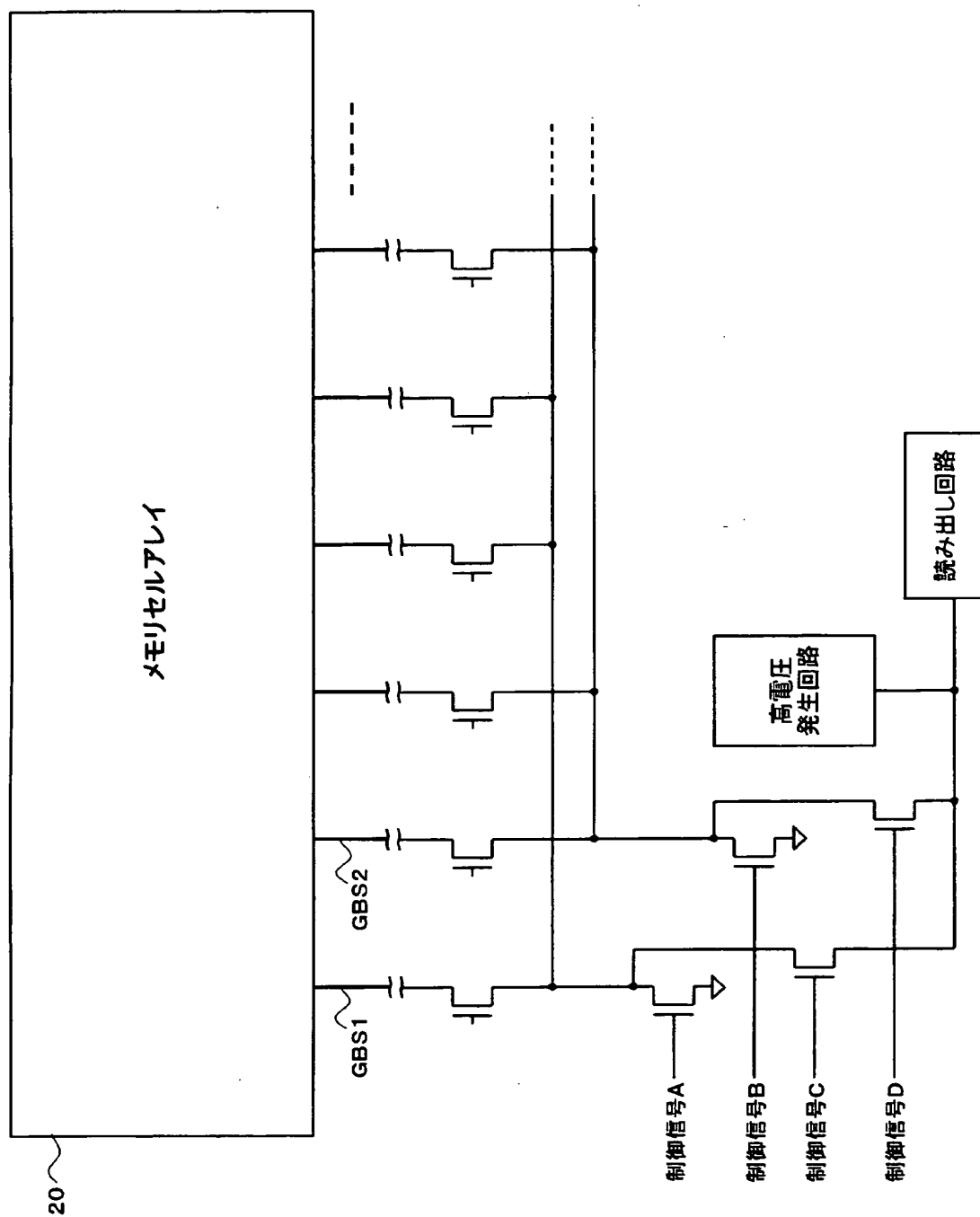
(B)

【図 11】





【圖 12】



## 【書類名】 要約書

## 【要約】

## 【課題】

仮想接地線を用いたメモリセルアレイ構成において、選択されたビット線に非選択のビット線等から迂回して注入してくる電流による読み出し動作マージンの低下を防止し、大容量化、高速動作が可能な半導体記憶装置を提供する。

## 【解決手段】

メモリセルアレイ 1 が、少なくとも複数列のサブアレイ 2 に分割して構成され、サブアレイ 2 の両端のメモリセル列は、サブアレイ 2 間の境界を挟んで行方向に隣接する 2 つのメモリセル間で第 2 電極同士が接続せず分離し、夫々独立したビット線または仮想接地線に接続し、サブアレイ単位で、ワード線とビット線と仮想接地線が夫々 1 本選択されて読み出し対象のメモリセルが 1 つ選択されるように構成されている。

## 【選択図】 図 1

特願 2 0 0 3 - 4 3 3 8 1 4

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 0 4 9 ]

1. 変更年月日 1 9 9 0 年 8 月 2 9 日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名 シャープ株式会社